

(43)Date of publication of application : 16.08.2002

(21)Application number : 2001-021561      (71)Applicant : CANON INC  
(22)Date of filing :            30.01.2001      (72)Inventor : TAKIZAWA MASAHIRO

[illegible]

## BEST AVAILABLE COPY

the examiner's decision of rejection or  
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マ-ト* (参考)
G 0 6 T 1/20		G 0 6 T 1/20	A 5 B 0 4 7
1/60	4 5 0	1/60	4 5 0 E 5 B 0 5 7

審査請求 未請求 請求項の数19 O L (全 24 頁)

(21) 出願番号 特願2001-21561 (P2001-21561)

(22) 出願日 平成13年1月30日 (2001.1.30)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 滝沢 昌弘

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(74) 代理人 100090538

弁理士 西山 恵三 (外1名)

Fターム(参考) 5B047 CB25 EA09 EB17

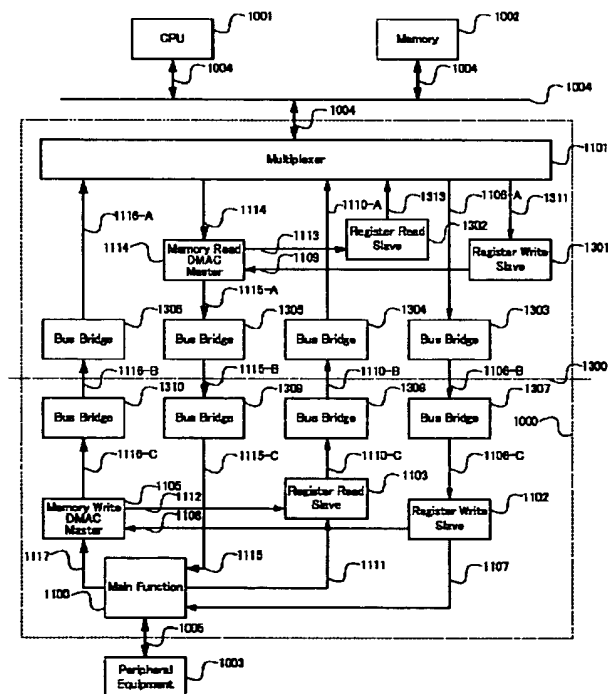
5B057 AA03 CH11 CH14 CH16 CH18

## (54) 【発明の名称】 画像処理装置及びそのデータ転送方法

## (57) 【要約】

【課題】 画像処理回路とCPUやメモリ等を別チップにした場合でも、転送レートを高くすることが可能な画像処理装置を提供することを目的とする。

【解決手段】 画像処理コア1100を構成する半導体基板（分断線1300より下部）と、メモリ1002を構成する半導体基板（分断線1300より上部）とを接続し、画像処理コア1100とメモリ1002との間の画像データの転送を行う外部バスが、メモリ1002から読み込んだ画像データを画像処理コア1100に転送するための外部バス1115-Bと、画像処理コア1100から出力された画像データをメモリ1002に転送するための外部バス1116-Bとをそれぞれ独立に備えることにより、メモリリードデータ転送とメモリライトデータ転送とを同時に行うことができる。



**【特許請求の範囲】**

【請求項1】 入力した画像データに対して所定の画像処理を行い出力する画像処理手段と、画像データを記憶する記憶手段とを有する画像処理装置であって、前記画像処理手段を構成する第1のユニットと、前記記憶手段を構成する第2のユニットと、前記第1のユニットと前記第2のユニットとを接続し、前記画像処理手段と前記記憶手段との間の画像データの転送を行う転送手段とを有し、前記転送手段は、前記記憶手段から読み込んだ画像データを前記画像処理手段に転送するための第1の外部バスと、前記画像処理手段から出力された画像データを前記記憶手段に転送するための第2の外部バスとを、それぞれ独立に備えることを特徴とする画像処理装置。

【請求項2】 前記画像処理手段による画像処理を制御する制御手段をさらに有し、前記画像処理手段は、前記制御手段による制御に基づき所定の画像変換を行うことを特徴とする請求項1記載の画像処理装置。

【請求項3】 前記画像処理手段は、入力装置及び出力装置と接続された複数の画像処理手段であり、前記入力装置から入力した画像データに対して前記入力装置に対応した画像変換を行い、変換後の画像データを前記第2の外部バスに出力することが可能な第1の画像処理手段と、前記第1の外部バスより入力した画像データに対して前記出力装置に対応した画像変換を行い、変換後の画像データを前記出力装置に出力することが可能な第2の画像処理手段とを含むことを特徴とする請求項2に記載の画像処理装置。

【請求項4】 前記第1の外部バスにより第1のユニットに入力した画像データが、複数の画像処理手段のいずれかの画像処理手段へ入力するように切り替える第1の切り替え手段と、前記複数の画像処理手段のいずれかの画像処理手段から出力された画像データが、前記第2の外部バスにより第1のユニットから出力されるように切り替える第2の切り替え手段と、を有することを特徴とする請求項3に記載の画像処理装置。

【請求項5】 入力した画像データに対して所定の画像処理を行い出力する画像処理手段と、画像データを記憶する記憶手段とを有する画像処理装置であって、前記画像処理手段による画像処理を制御する制御手段と、前記画像処理手段を構成する第1のユニットと、前記記憶手段及び前記制御手段を構成する第2のユニットと、前記第1のユニットと前記第2のユニットとを接続し、前記記憶手段から読み込んだ画像データを前記画像処理手段に転送するための第1の外部バスと、前記第1のユニットと前記第2のユニットとを接続し、

前記画像処理手段から出力された画像データを前記記憶手段に転送するための第2の外部バスとを有し、前記第1の外部バスは、前記制御手段から前記画像処理手段への設定情報の転送を行い、前記第2の外部バスは、前記画像処理手段から前記制御手段への設定情報の転送を行うことを特徴とする画像処理装置。

【請求項6】 前記第1の外部バスにより第1のユニットに入力した画像データ及び前記設定情報のどちらかが、画像処理手段へ入力するように切り替える第1の切り替え手段と、

前記画像処理手段から出力された画像データ及び前記設定情報のどちらかが、前記第2の外部バスにより第1のユニットから出力されるように切り替える第2の切り替え手段とを有することを特徴とする請求項5に記載の画像処理装置。

【請求項7】 前記画像処理手段は、複数の画像処理手段であり、前記第1の切り替え手段は、前記画像データ及び前記設定情報を前記複数の画像処理手段のいずれかに切り替えて入力させ、

前記第2の切り替え手段は、複数の画像処理手段のいずれかから出力された前記画像データ及び前記設定情報を、切り替えて前記第2の外部バスへ出力することを特徴とする請求項6に記載の画像処理装置。

【請求項8】 前記画像処理手段は、複数の画像処理手段であり、前記第1の切り替え手段より入力した画像データ及び前記設定情報を複数の画像処理手段のいずれかに対して切り替えて入力する第3の切り替え手段と、前記複数の画像処理手段のいずれかから出力された画像データ及び前記設定情報を前記第2の切り替え手段に対して切り替えて出力する第4の切り替え手段とを有することを特徴とする請求項6に記載の画像処理装置。

【請求項9】 入力した画像データに対して所定の画像処理を行い出力する画像処理手段と、画像データを記憶する記憶手段とを有する画像処理装置であって、前記画像処理手段による画像処理を制御する制御手段と、前記画像処理手段を構成する第1のユニットと、前記記憶手段及び前記制御手段を構成する第2のユニットと、

前記第1のユニットと前記第2のユニットとを外部バスを介して接続し、前記記憶手段と前記画像処理手段間で、画像データ及び前記画像処理手段に関する設定情報を転送する転送手段を有し、前記転送手段は、画像データ及び前記設定情報に関する状態情報を、画像データ及び前記設定情報と同一のバスを用いて転送することを特徴とする画像処理装置。

【請求項10】 前記転送手段は、前記画像データ及び前記設定情報に関するアドレス情報を、画像データ及び前記設定情報及び前記状態情報と同一のバスを用いて転送することを特徴とする請求項9に記載の画像処理装置。

【請求項11】 前記転送手段は、前記アドレス情報の転送が不要であるとき、前記アドレス情報を転送しないように制御することを特徴とする請求項10記載の画像処理装置。

【請求項12】 前記転送手段は、画像データ及び前記設定情報の転送よりも前に、前記画像データ及び前記設定情報に対応する状態情報を前もって転送することを特長とする請求項11記載の画像処理装置。

【請求項13】 前記転送手段は、前記記憶手段から読み込んだデータを前記画像処理手段に転送するための第1の外部バスと、前記画像処理手段から出力されたデータを前記記憶手段に転送するための第2の外部バスとを、それぞれ独立に備えることを特徴とする請求項9～12のいずれかに記載の画像処理装置。

【請求項14】 前記転送手段は、所定のデータ単位毎に前記設定情報を分割し、分割した前記設定情報に、前記設定情報に対応する状態情報をヘッダーとして付加したパケットデータを転送することを特徴とする請求項9～13のいずれかに記載の画像処理装置。

【請求項15】 入力した画像データに対して所定の画像処理を行い出力する画像処理部を構成する第1のユニットと、画像データを記憶するメモリを構成する第2のユニットとが外部バスにより接続された画像処理装置におけるデータ転送方法であって、前記メモリと前記画像処理部間で、画像データ及び前記画像処理部に関する設定情報と、画像データ及び前記設定情報に関する状態情報とを、同一のバスを用いて転送することを特徴とするデータ転送方法。

【請求項16】 さらに、前記画像データ及び前記設定情報に関するアドレス情報を、画像データ及び前記設定情報及び前記状態情報と同一のバスを用いて転送することを特徴とする請求項15記載のデータ転送方法。

【請求項17】 前記アドレス情報の転送が不要であるとき、前記アドレス情報を転送しないように制御することを特徴とする請求項16記載のデータ転送方法。

【請求項18】 画像データ及び前記設定情報を転送よりも前に、前記画像データ及び前記設定情報に対応する状態情報を前もって転送することを特徴とする請求項17記載のデータ転送方法。

【請求項19】 所定のデータ単位毎に前記設定情報を分割し、分割した前記設定情報に、前記設定情報に対応する状態情報をヘッダーとして付加したパケットデータを転送することを特徴とする請求項15～18のいずれかに記載のデータ転送方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、入力した画像データに対して所定の画像処理を行い出力する画像処理手段と、画像データを記憶する記憶手段とを有する画像処理装置及びそのデータ転送方法に関する。

【0002】

【従来の技術】デジタル複写機のコントローラ等の内部には、入力した画像データに対して所定の画像処理を行い出力する画像処理部が設けられている。画像処理部を構成する画像処理回路やCPU、メモリといったシステム全体を1つのLSIに入れることが、従来から行われているが、LSIの集積度に対して回路規模が大きい場合、1つのLSIに入れてしまうとチップサイズが大きくなり、歩留まりが下がり、高コストになる。また、スキャナエンジンやプリンタエンジンなど、周辺機器を接続した場合、周辺機器に合わせて、その画像変換や、制御を行う必要があり、もしシステムを1チップ化した場合、周辺機器がモデルチェンジする毎に、大規模なLSIをモデルチェンジすることになり、LSIの生産量が少数になってしまい、LSIのコストが非常に高くなる。

【0003】これらの問題を解決するために、CPUや良く使う画像処理回路など周辺機器に依存しないか、依存性が少ない汎用的な部分だけをLSI化し、大規模な画像処理回路や、エンジン依存性が高い部分は、汎用的な部分と別のLSIに入れることが、従来から行われている。このように複数のLSIを用いて、画像処理システムを構成した場合、LSI間でデータのやり取りや、画像処理の為の設定情報をやり取りを行なうことになる。

【0004】以下、上述の従来の画像処理装置について、単一のLSIと分割した複数のLSIとで、詳細に説明する。まず、図13に従来の単一のLSIで構成された画像処理装置の一例を示し説明する。図13において、1000（点線内）は画像の変換（回転、鏡像、解像度、濃度・輝度変換、2値化、単色化、拡大・縮小、データ圧縮・伸張、3D・2D変換、動画・静止画変換、PDL（ページ記述言語）処理）、または、入力・出力装置に合わせた画像データ変換および該入力・出力装置の制御を行う為の画像処理回路である。

【0005】1001は図13に示したシステム全体を制御する為のCPU、1002は画像処理前の画像データを記憶し、また、画像処理後の画像データを記憶するための電気的なスイッチングによる抵抗の変化、または、電気的な容量の変化、または、磁気変化、または、光磁気変化、または、光学的変化、または、化学変化を利用した記憶装置（メモリ）である。

【0006】1003は画像処理回路1000に接続された光電管、CCD、フォトランジスタ、フォトダイオードを利用した画像入力装置、または、印字装置（プリンタ）、表示装置を利用した画像出力装置、または、記憶装置、無線通信、有線通信、光通信を利用した画像入出力装置である。画像データの入力元・出力先の両方がメモリ1002の場合、画像入出力装置1003は必要がない。

【0007】1004はCPU1001、メモリ1002、画像処理装置1000を接続し、画像データ及び制御命令を伝える為のバス、1005は、画像処理回路1000と画像入出力装置1003を接続する為のI/Oバス（入出力バス）であり、1100は画像処理を実際に行う画像処理コアである。

【0008】1101はバス1004を分配する為のマルチプレクサ、1102は画像処理コア1100のレジスタ設定を行う為、CPUからの命令を受けて、画像処理コア1100のレジスタを書き換える為のレジスタライトスレーブであり、1103はCPUからの命令を受け、画像処理コア1100のレジスタの内容を読み出す為のレジスタリードスレーブである。1104はメモリ1002から画像データを読み出す為のリードDMA（直接メモリアクセスコントローラ）、1105はメモリ1002に画像データを書きこむ為のライトDMAである。

【0009】1106、1108、1110、1112はマルチプレクサ1101によって1004が分配されたバス、1111はリードDMA1104がメモリ1002から読み込んだデータを画像処理コア1100に inputs する為のバス、1113はライトDMA1104がメモリ1002に書き込む為の画像データを画像処理コア1100が出力する為のバス、1109は画像処理コア1100のレジスタの値を読んだ結果をレジスタリードスレーブ1103に伝える為のバス、1107はレジスタライトスレーブ1102が画像処理コア1100のレジスタに値を設定する為のバスである。

【0010】1108はレジスタライトスレーブ1102がメモリライトDMAのレジスタに値を設定する為のバス、1109はレジスタライトスレーブ1102がメモリリードDMAのレジスタに値を設定する為のバス、1112はレジスタリードスレーブ1103がメモリライトDMAのレジスタ値を読み出す為のバス、1113はレジスタリードスレーブ1103がメモリリードDMAのレジスタ値を読み出す為のバスである。それぞれのバスの矢印の向きはデータの流れの方向を示す。

【0011】図13のシステムの制御は次の順序で行う。

(1) CPU1001が、画像処理回路1000の設定を行う

(2) CPU1001が、画像入出力装置1003の設定を行う。

(3) CPU1001が、画像処理回路1000および画像入出力装置1003の起動を行う。

(4) CPU1001を介さずに、画像処理回路1000、及び、メモリ1002、及び、必要があれば画像入出力装置1003の間でデータ転送を行う。

【0012】次に、画像入出力装置1003が、画像入力装置、画像出力装置の場合、または、画像入出力装置

1003が接続されない場合の3つの例を挙げ、図13の装置の動作の詳細を説明する。

【0013】画像入出力装置1003が画像入力装置である場合、例えば、画像入出力装置1003が、光電管、または、CCD、または、フォトトランジスタ、または、フォトダイオードを利用したスキャナエンジン（原稿読み取り装置）でシステムが構成される場合、初めにCPU1001が画像処理コア1100のレジスタに画像読み込みサイズ、スキャナの画像モード（色、解像度など）を設定する。

【0014】このとき、CPU1001がレジスタライトスレーブ1102へライトしようとする。すると、マルチプレクサ1101は、バス1004からの信号をバス1106に伝えるように切り替わり、CPU1001からレジスタライトスレーブ1102にアクセスでき、レジスタライトスレーブ1102が画像処理コア1100のレジスタを書き換え、設定が行われる。同様にCPU1001が、レジスタライトスレーブ1102を介して、ライトDMA1105に画像転送サイズ、画像転送モード、画像転送先メモリアドレスを設定する。その際は、マルチプレクサ1101はバス1004とバス1108が接続されるように切り替わる。

【0015】次に、CPU1001が、画像処理回路1000の起動レジスタに起動コマンドを書き、画像処理回路1000および画像入出力装置1003起動を行う。すると、入力装置1003、ここではスキャナエンジンが画像の読み込みを開始し、読みこんだ画像データが画像処理装置1003に転送される。画像処理コア1100でその画像データを処理しやすいようデータ形式を変換し、画像処理回路1000は、バス1004を通じてメモリ1002に書き込もうとする。

【0016】すると、マルチプレクサ1101は、バス1004とバス1116を接続された状態にし、ライトDMAがメモリ1002の内容をライトできるようになる。もちろん電子カメラなど他の入力装置が接続された場合も以上説明した手順は同様である。

【0017】画像入出力装置1003が画像出力装置である場合、例えば、画像入出力装置1003がプリンタエンジンでシステムが構成される場合、初めにCPU1001が同様にレジスタライトスレーブ1102を介して、画像処理コア1100のレジスタに画像出力サイズ、プリンタの画像モード（色、解像度など）を設定しようとする。

【0018】すると、マルチプレクサ1101は、バス1004からの信号をバス1106に伝えるように切り替わり、CPU1001からレジスタライトスレーブ1102にアクセスでき、レジスタライトスレーブ1102が画像処理コア1100のレジスタを書き換え、設定が行われる。同様にCPU1001が、レジスタライトスレーブ1102を介して、リードDMA1104に画

像転送サイズ、画像転送モード、画像転送元メモリアドレスを設定する。

【0019】次に、CPU1001が、画像入出力装置1003に、紙における出力範囲を設定する。次に、CPU1001が、画像処理回路1000の起動レジスタに起動コマンドを書き、画像処理回路1000および画像入出力装置1003の起動を行う。画像処理回路1000は、バス1004を通じてメモリ1002から、出力する為の元画像データを読み出す。画像処理コア1100でその画像データをプリンタエンジンが処理しやすいデータ形式を変換し、画像処理装置1003から、出力装置、ここではプリンタエンジンに画像データを転送し、印字を行う。もちろんディスプレイ装置など他の出力装置が接続された場合も以上説明した手順は同様である。

【0020】画像入出力装置1003が接続されない場合、つまり、画像データの入力元・出力先の両方がメモリ1002の場合、例えば、画像処理回路1000が画像変換だったとすると、初めにCPU1001が画像処理コア1100のレジスタに画像処理のモード、内容を設定する。例えば、画像変換の内容が、画像回転の場合は回転角度を設定する。CPU1001が、リードDMA1104、及び、ライトDMA1105に画像転送サイズ、画像転送モード、画像転送元メモリアドレス、画像転送先メモリアドレスを設定する。

【0021】次に、CPU1001が、画像処理回路1000の起動レジスタに起動コマンドを書き、起動を行う。画像処理回路1000は、バス1004を通じてメモリ1002から、出力する為の元画像データを読み出す。画像処理コア1100でその画像データを変換（例えば画像回転）し、画像処理回路1000は、バス1004を通じてメモリ1002に書き込む。

【0022】ここで、入出力装置の制御処理は、次の理由で別のLSIとした方がメリットが多い。つまり、画像処理回路中にスキャナエンジンやプリンタエンジンなど機種依存で設計変更が必要な部分が多く1種類のLSIの生産数量が少ないため、高価格な大規模なLSIで

(マルチプレクサ1101、内部バス1004、メモリ1002のうち、一番遅いものの転送レート) > (メモリリード外部バス1203の転送レート)

・・・式1

特に動画や高精細・高階調なカラー画像といったデータサイズが大きい画像データを扱う場合や、高速な入出力装置が接続された時には、最悪の場合、低い外部バスの転送レートがシステム全体の速度低下を招き、外部バスがボトルネックになりうる。

【0027】本発明は上述の問題点を解決するためのものであり、画像処理手段を構成する第1のユニットと、記憶手段を構成する第2のユニットとを接続し、画像処理手段と記憶手段との間の画像データの転送を行う転送手段が、記憶手段から読み込んだ画像データを画像処理

は開発費用の回収が難しい。特にカラー画像処理や動画画像処理をする場合、画像処理回路の規模が非常に大きくなるため、汎用的なCPUと画像処理回路を同一チップに載せた場合、チップサイズが非常に大きくなり、LSIの生産歩留まりが低下し、コストが高くなる。そのため、現状のLSI製造技術とコストとの折り合いで、汎用的な部分と、機種に依存する部分の2つ以上に分割し、図11のシステムを複数のLSIとして実現するのが良い。

【0023】図14は、図13のブロック図を複数のLSIに分断して実現したときの構成を示したブロック図であり、その場合の分断部分、および、図13と図14の相違点を図14を用いて説明する。

【0024】図14において、1004はLSI外に信号が出ていない内部バス、1200はシステムを複数のLSIに分けた場合の分断線、1201はバスのプロトコル変換をする為のバスブリッジ、1202はLSI外に信号が出ている外部バスであり、バス1004がバスブリッジ1201によってプロトコル変換されたものである。バスブリッジ1201では、クロックの変換を行っても、バスブリッジ1201で、外部バスのバス幅を細く（少なく）しても、内部バスと外部バスが全く異なるバスプロトコルで動作しても良い。

【0025】

【発明が解決しようとする課題】しかしながら、上記従来例では、外部バス1202は内部バス1004と比べて、寄生容量、寄生インダクタンス、配線抵抗の増加によって信号が劣化すること、及び、ノイズ・反射による誤動作を避けるために外部バス1202の動作周波数を低くする必要がある。また、LSI、のコストを安くするためには、LSIのピン数は少ない方が良いので、外部バスは、内部バスのようにバス幅を多くしないのが普通である。その為、一般に外部バスは内部バスよりも転送レートが低速であるという問題点があった。

【0026】ここで、次の様な関係式が成り立つ場合、外部バスがボトルネックとなる可能性がある。

手段に転送するための第1の外部バスと、画像処理手段から出力された画像データを記憶手段に転送するための第2の外部バスとを、それぞれ独立に備えることにより、メモリリードデータ転送とメモリライトデータ転送とを同時に行うことができ、画像処理回路とCPUやメモリ等を別チップにした場合でも、転送レートを高くすることが可能な画像処理装置を提供することを目的とする。

【0028】また、画像処理手段を構成する第1のユニットと、画像処理手段による画像処理を制御する制御手

段及び記憶手段を構成する第2のユニットとを接続し、記憶手段から読み込んだ画像データを画像処理手段に転送するための第1の外部バスと、第1のユニットと第2のユニットとを接続し、画像処理手段から出力された画像データを記憶手段に転送するための第2の外部バスとを有し、第1の外部バスは、制御手段から画像処理手段への設定情報の転送を行い、第2の外部バスは、画像処理手段から制御手段への設定情報の転送を行うことにより、データ転送速度を下げることなくLSIの端子数を減らすことが可能な、低コストな画像処理装置を提供することを目的とする。

【0029】また、画像処理手段を構成する第1のユニットと画像処理手段による画像処理を制御する制御手段及び記憶手段を構成する第2のユニットとを外部バスを介して接続し、記憶手段と画像処理手段間で画像データ及び画像処理手段に関する設定情報を転送する転送手段が、画像データ及び設定情報に関する状態情報を、画像データ及び設定情報と同一のバスを用いて転送することにより、更にLSIの端子数を減らすことによる低コスト化を可能とした画像処理装置及び画像処理装置におけるデータ転送方法を提供することを目的とする。

#### 【0030】

【課題を解決するための手段】上記目的を達成するために、本発明の画像処理装置では、入力した画像データに対して所定の画像処理を行い出力する画像処理手段と、画像データを記憶する記憶手段とを有する画像処理装置であって、前記画像処理手段を構成する第1のユニットと、前記記憶手段を構成する第2のユニットと、前記第1のユニットと前記第2のユニットとを接続し、前記画像処理手段と前記記憶手段との間の画像データの転送を行う転送手段とを有し、前記転送手段は、前記記憶手段から読み込んだ画像データを前記画像処理手段に転送するための第1の外部バスと、前記画像処理手段から出力された画像データを前記記憶手段に転送するための第2の外部バスとを、それぞれ独立に備えることを特徴とする。

【0031】また、本発明の画像処理装置では、入力した画像データに対して所定の画像処理を行い出力する画像処理手段と、画像データを記憶する記憶手段とを有する画像処理装置であって、前記画像処理手段による画像処理を制御する制御手段と、前記画像処理手段を構成する第1のユニットと、前記記憶手段及び前記制御手段を構成する第2のユニットと、前記第1のユニットと前記第2のユニットとを接続し、前記記憶手段から読み込んだ画像データを前記画像処理手段に転送するための第1の外部バスと、前記第1のユニットと前記第2のユニットとを接続し、前記画像処理手段から出力された画像データを前記記憶手段に転送するための第2の外部バスとを有し、前記第1の外部バスは、前記制御手段から前記画像処理手段への設定情報の転送を行い、前記第2の外

部バスは、前記画像処理手段から前記制御手段への設定情報の転送を行うことを特徴とする。

【0032】また、本発明の画像処理装置では、入力した画像データに対して所定の画像処理を行い出力する画像処理手段と、画像データを記憶する記憶手段とを有する画像処理装置であって、前記画像処理手段による画像処理を制御する制御手段と、前記画像処理手段を構成する第1のユニットと、前記記憶手段及び前記制御手段を構成する第2のユニットと、前記第1のユニットと前記第2のユニットとを外部バスを介して接続し、前記記憶手段と前記画像処理手段間で、画像データ及び前記画像処理手段に関する設定情報を転送する転送手段を有し、前記転送手段は、画像データ及び前記設定情報に関する状態情報を、画像データ及び前記設定情報と同一のバスを用いて転送することを特徴とする。

【0033】また、本発明の画像処理装置におけるデータ転送方法では、入力した画像データに対して所定の画像処理を行い出力する画像処理部を構成する第1のユニットと、画像データを記憶するメモリを構成する第2のユニットとが外部バスにより接続された画像処理装置におけるデータ転送方法であって、前記メモリと前記画像処理部間で、画像データ及び前記画像処理部に関する設定情報と、画像データ及び前記設定情報に関する状態情報とを、同一のバスを用いて転送することを特徴とする。

#### 【0034】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を説明する。

【0035】（第1の実施の形態）図1は、本発明の画像処理装置の第1の実施の形態の構成を示したブロック図である。図1において、1300はシステムを複数のLSIに分けた場合の分断線である。

【0036】図1において、1000（点線内）は画像の変換（回転、鏡像、解像度、濃度・輝度変換、2値化、単色化、拡大・縮小、データ圧縮・伸張、3D・2D変換、動画・静止画変換、PDL（ページ記述言語）処理）、または、入力・出力装置に合わせた画像データ変換および該入力・出力装置の制御を行う為の画像処理回路でありである。

【0037】1001はシステム全体を制御する為のCPU、1002は画像処理前の画像データを記憶し、また、画像処理後の画像データを記憶するための電氣的なスイッチングによる抵抗の変化、または、電氣的な容量の変化、または、磁気変化、または、光磁気変化、または、光学的変化、または、化学変化を利用した記憶装置（メモリ）である。

【0038】1003は画像処理回路1000に接続された光電管、CCD、フォトトランジスタ、フォトダイオードを利用した画像入力装置、または、印字装置（プリンタ）、表示装置を利用した画像出力装置、または、



記憶装置、無線通信、有線通信、光通信を利用した画像入出力装置である。また、画像データの入力元・出力先の両方がメモリ1002の場合は、画像入出力装置1003は必要がない。

【0039】1004はCPU1001、メモリ1002、画像処理装置1000を接続し、画像データ及び制御命令を伝える為のバスである。1005は、画像処理回路1000と画像入出力装置1003を接続する為のI/Oバス（入出力バス）である。1100は画像処理を実際に行う画像処理コアである。

【0040】1101はバス1004を分配する為のマルチプレクサである。1102は画像処理コア1100のレジスタ設定を行う為、CPUからの命令を受けて、画像処理コア1100のレジスタを書き換える為のレジスタライトスレーブであり、1103はCPUからの命令を受け、画像処理コア1100のレジスタの内容を読み出す為のレジスタリードスレーブである。

【0041】1104はメモリ1002から画像データを読み出す為のリードDMA（直接メモリアクセスコントローラ）、1105はメモリ1002に画像データ

を書きこむ為のライトDMAである。

【0042】1311、1106-A、1312、1110-A、1114、1116-Aはマルチプレクサ1101によって1004が分配されたバスである。1115はリードDMA1104がメモリ1002から読み込んだデータを画像処理コア1100に入力する為のバス、1117はライトDMA1104がメモリ1002に書き込む為の画像データを画像処理コア1100が出力する為のバスである。

【0043】1111は画像処理コア1100のレジスタの値を読んだ結果をレジスタリードスレーブ1103に伝える為のバス、1107はレジスタライトスレーブ1102が画像処理コア1100のレジスタに値を設定する為のバスである。

【0044】1108はレジスタライトスレーブ1102がライトDMAのレジスタに値を設定する為のバス、1109はレジスタライトスレーブ1102がリードDMAのレジスタに値を設定する為のバス、1112はレジスタリードスレーブ1103がライトDMAのレジスタ値を読み出す為のバス、1113はレジスタリードスレーブ1103がリードDMAのレジスタ値を読み出す為のバスである。それぞれのバスの矢印の向きはデータの流れの方向を示す。1004はLSI外に信号が出ていない内部バスである。

【0045】1303～1310はバスのプロトコル変換をする為のバスブリッジである。1106-B、1110-B、1115-B、1116-BはLSI外に信号が出ている外部バスであり、それぞれ、内部バス1106-A、1110-C、1115-A、1116-C

0によってプロトコル変換されたものである。

【0046】1307、1304、1309、1306は、バスブリッジであり、外部バス1106-B、1110-B、1115-B、1116-Bをそれぞれプロトコル変換し内部バスし、それぞれ内部バス1106-C、1110-A、1115-C、1116-Aとする。

【0047】1301は、リードDMA1104のレジスタを設定する為のレジスタライトスレーブ、1302は、リードDMA1104のレジスタの値を読む為のレジスタリードスレーブである。

【0048】図1を用いて、画像入出力装置1003が接続されない場合、つまり、画像データの入力元・出力先の両方がメモリ1002の場合を例に挙げて、本実施の形態の画像処理装置の詳細な動作を説明する。

【0049】画像処理回路1000が画像変換の場合、初めにCPU1001が画像処理コア1100のレジスタに画像処理のモード、内容を設定する。例えば、画像変換の内容が、画像回転の場合は回転角度を設定する。ここで、CPU1001がレジスタライトスレーブ1102へライトしようとする。

【0050】すると、マルチプレクサ1101は、バス1004からの信号をバス1106-Aに伝えるように切り替わり、バスブリッジが内部バス1106-Aから、内部バス1106-Aよりも低速な外部バス1106-Bへプロトコル変換し、LSI外部へ出力される。

【0051】次にその出力がバスブリッジ1307へ伝送され、バスブリッジ1307により外部バス1106-Bよりも高速な内部バス1106-Cにプロトコル変換される。

【0052】次にCPU1001が、ライトDMA1105のレジスタを設定する。CPU1001がレジスタライトスレーブ1102を介して、ライトDMA1105のレジスタへライトしようとする。

【0053】すると、マルチプレクサ1101は、バス1004からの信号をバス1106-Aに伝えるように切り替わり、バスブリッジが内部バス1106-Aから、内部バス1106-Aよりも低速な外部バス1106-Bへプロトコル変換し、LSI外部へ出力される。

【0054】次にその出力がバスブリッジ1307へ伝送され、バスブリッジ1307によって外部バス1106-Bよりも高速な内部バス1106-Cにプロトコル変換され、ライトDMA1105に画像転送サイズ、画像転送モード、画像転送元メモリアドレス、画像転送先メモリアドレスを設定できる。

【0055】またリードDMA1104の設定は、CPU1001がレジスタライトスレーブ1301を介して、リードDMA1104のレジスタへライトしようとする。すると、マルチプレクサ1101は、バス1004からの信号をバス1311に伝えるように切り替わ

り、レジスタライトスレーブ1301を介してリードDMA1104にライトDMAの場合と同様な設定を行うことが出来る。

【0056】次に、CPU1001が、画像処理回路1000の起動レジスタに起動コマンドを書き、起動を行う。画像処理回路1000は、バス1004を通じてメモリ1002から、出力する為の元画像データを読み出す。画像処理コア1100でその画像データを変換（例えば画像回転）し、画像処理回路1000は、バス1004を通じてメモリ1002に書き込む。

【0057】この時、リードデータ経路、すなわち、内部バス1114→リードDMA1104→内部バス1115-A→バスブリッジ1305→外部バス1115-

(マルチプレクサ1101、内部バス1004、メモリ1002のうち、一番遅いものの転送レート) ≤ (外部バスの転送レート) = (メモリリード外部バス1115-Bの転送レート) + (メモリライト外部バス1116-Bの転送レート)・・・式2

以上説明したように、本実施の形態においては、メモリ読み出しとメモリ書き出しの動作を同時に行うためのメモリリード、メモリライト2つの外部バスを設けることで、メモリリード、メモリライト2つの外部バスの転送レートを向上させた画像処理装置を実現することが出来る。

【0059】（第2の実施の形態）第2の実施の形態として、画像処理装置の画像処理コアが複数になった場合を説明する。

【0060】画像処理コアを複数個にし、図1の1300の分断線よりも下を単純に複数並べた場合、外部バスの個数が増え、LSIのピン数が増加するので、コスト高になる。

【0061】本実施の形態ではこの欠点を改善するものであり、外部バスをプロトコル変換した内部バスを画像処理回路側のLSIでマルチプレクスすることにより、外部バスの増加なしに、CPU、及び、メモリと、画像処理回路間のデータ転送速度を十分な速さにすることができる。

【0062】図2は、本発明の画像処理装置の第2の実施形態の構成を示したブロック図である。

【0063】図2において、1400は追加された画像処理コア、1402及び1003は画像処理回路1000に接続された光電管、CCD、フォトトランジスタ、フォトダイオードを利用した画像入力装置、または、印字装置（プリンタ）、表示装置を利用した画像出力装置、または、記憶装置、無線通信、有線通信、光通信を利用した画像入出力装置である。画像データの入力元・出力先の両方がメモリ1002の場合、画像入出力装置1402は必要がない。

【0064】1401は画像処理回路1000と画像入出力装置1402を接続する為の追加されたI/Oバス（入出力バス）である。1406、1407はメモリリ

B→バスブリッジ1309→内部バス1115-Cと、ライトデータ経路、すなわち、内部バス1117→ライトDMA1105→内部バス1116-C→バスブリッジ1310→外部バス1116-B→バスブリッジ1306→内部バス1116-Aは、並列動作することが出来る。ここで、矢印はデータの方向を示している。

【0058】マルチプレクサ1101、及び、内部バス1004、及び、メモリ1002は、完全な並列動作とはならないが、もともと1組の外部バスよりも高速かつ転送レートが高いので、システム構成上問題にならない。その時、次の式が成り立ち、外部バスが、システムのボトルネックになりにくくなる。

ードの為のデータ経路である。

【0065】1403はメモリライトの為の入力データ経路1111から出力データ経路1406及び1407のうち、どれか1つを選択する為のマルチプレクサ、1404はレジスタリード及びライトの為の経路を選択する為のマルチプレクサである。

【0066】1408、1409はメモリライトの為のバス、1405はメモリライトの為にバス1408及び1409のうちからどれか1つを選択し、バス1117と接続する為のマルチプレクサである。

【0067】次に、画像入出力装置1003、及び、画像入出力装置1402に、画像入力装置、画像出力装置の2つが接続された場合の例を挙げ、図2の装置の動作を説明する。

【0068】画像入出力装置1003が画像入力装置である場合、例えば、画像入出力装置1003が、光電管、または、CCD、または、フォトトランジスタ、または、フォトダイオードを利用したスキャナ、エンジン（原稿読み取り装置）でシステムが構成される場合、初めにCPU1001が画像処理コア1100のレジスタに画像読み込みサイズ、スキャナの画像モード（色、解像度など）を設定する。

【0069】このとき、CPU1001がレジスタライトスレーブ1102へライトしようとする。すると、マルチプレクサ1101は、バス1004からの信号をバス1106に伝えるように切り替わり、CPU1001からレジスタライトスレーブ1102にアクセスでき、レジスタライトスレーブ1102が画像処理コア1100のレジスタを書き換え、設定が行われる。

【0070】同様にCPU1001が、レジスタライトスレーブ1102を介して、ライトDMA1105に画像転送サイズ、画像転送モード、画像転送先メモリアドレスを設定する。その際は、マルチプレクサ1101は

バス1004とバス1112が接続されるように切り替わる。

【0071】次に、CPU1001が、画像処理回路1000の起動レジスタに起動コマンドを書き、画像処理回路1000および画像入出力装置1003起動を行う。すると、入力装置1003、ここではスキャナエンジンが画像の読み込みを開始し、読みこんだ画像データが画像処理装置1003に転送される。

【0072】画像処理コア1100でその画像データを処理しやすいようデータ形式を変換し、画像処理回路1000は、バス1004を通じてメモリ1002に書き込もうとする。すると、マルチプレクサ1101は、バス1004とバス1116を接続された状態にし、ライトDMAがメモリ1002の内容をライトできるようにする。

【0073】ここで、入力装置としてスキャナを用いて説明したが、もちろん電子カメラなど他の入力装置が接続された場合も以上説明した手順は同様である。

【0074】画像入出力装置1402が画像出力装置である場合、例えば、画像入出力装置1402がプリンタエンジンでシステムが構成される場合、初めにCPU1001が同様にレジスタライトスレーブ1102を介して、画像処理コア1400のレジスタに画像出力サイズ、プリンタの画像モード（色、解像度など）を設定しようとする。

【0075】すると、マルチプレクサ1101は、バス1004からの信号をバス1106-Aに伝えるように切り替わり、CPU1001からレジスタライトスレーブ1102及び1301にアクセスでき、レジスタライトスレーブ1102が画像処理コア1400のレジスタを書き換え、設定が行われる。同様にCPU1001が、レジスタライトスレーブ1301を介して、リードDMA1104に画像転送サイズ、画像転送モード、画像転送元メモリアドレスを設定する。

【0076】次に、CPU1001が、画像入出力装置1402に、紙における出力範囲を設定する。次に、CPU1001が、画像処理回路1000の起動レジスタに起動コマンドを書き、画像処理回路1000および画像入出力装置1402の起動を行う。画像処理回路1000は、バス1004を通じてメモリ1002から、出力する為の元画像データを読み出す。

【0077】画像処理コア1400でその画像データをプリンタエンジンが処理しやすいようデータ形式を変換し、画像処理装置1402から、出力装置、ここではプリンタエンジンに画像データを転送し、印字を行う。ここで、出力装置としてプリンタを用いて説明したが、もちろんディスプレイ装置など他の出力装置が接続された場合も以上説明した手順は同様である。

【0078】この時、画像入力装置1003からのライトデータ経路、すなわち、内部バス1408→マルチプ

レクサ1405→内部バス1117→ライトDMA1105→内部バス1116-C→バスブリッジ1310→外部バス1116-B→バスブリッジ1306→内部バス1116-Aと、画像出力装置1402へのリードデータ経路、すなわち、内部バス1114→リードDMA1104→内部バス1115-A→バスブリッジ1305→外部バス1115-B→バスブリッジ1309→内部バス1115-C→マルチプレクサ1403→内部バス1407は、並列動作することができ、画像入力装置1003、と、画像出力装置1402は、独立に動作することが出来る。なお、ここで矢印はデータの方

向を示している。

【0079】以上説明したように、メモリ読み出しとメモリ書き出しの動作を同時に行うためのメモリリード、メモリライト2つの外部バスを設けることで、メモリリード、メモリライト2つの外部バスの転送レートを向上させた画像処理装置を実現することが出来る。また、メモリライト及びメモリリードをマルチプレクサで選択することにより、複数の画像処理コアを接続した場合においても、ピン数の増加によるコスト増加がない画像処理装置を実現できる。

【0080】以上、画像処理回路が2つの場合を説明したが、画像処理回路が3つ以上の場合でも、画像処理コア1400、I/Oバス1401、画像入力装置、または、画像出力装置、または、画像入出力装置1402、バス1406、1407、1408、1409、マルチプレクサ1403、1405を追加すれば、第2の実施形態と同様に動作することは言うまでもない。

【0081】ここで、本実施の形態では、説明の為に、メモリリードDMAをCPUと同じLSIに搭載し、メモリライトDMAは、画像処理回路と同じLSIに搭載しているが、メモリリードDMAを画像処理回路と同じLSIに搭載しても構わない。メモリライトDMAについても同様にCPUと同じLSIに搭載しても、本発明の趣旨は達成される。

【0082】（第3の実施の形態）第1、第2の実施の形態の画像処理装置においては、メモリ読み出しとメモリ書き出しの動作を同時に行うためのメモリリード、メモリライト2つの外部バスを設けることで、メモリリード、メモリライト2つの外部バスの転送レートを向上させることができた。

【0083】しかしながら、第1、第2の実施の形態の画像処理装置では、LSI間のデータ転送、及び、レジスタ設定の為の端子がLSIに必要であり、多くの端子が必要となり、その為、コスト高になるという問題があった。本実施の形態では、上記問題点に鑑みて、データ転送速度を犠牲にすることなしに、LSIの端子数を減らした低コストな画像処理装置について説明する。

【0084】図3は本発明の画像処理装置の第3の実施形態の構成を説明する為のブロック図である。図中にお

10

20

30

40

50

いて、1500はシステムを複数のLSIに分けた場合の分断線である。

【0085】図3において、1000（点線内）は画像の変換（回転、鏡像、解像度、濃度・輝度変換、2値化、単色化、拡大・縮小、データ圧縮・伸張、3D・2D変換、動画・静止画変換、PDL（ページ記述言語）処理）、または、入力・出力装置に合わせた画像データ変換および該入力・出力装置の制御を行う為の画像処理回路である。

【0086】1001は図3に示したシステム全体を制御する為のCPU、1002は画像処理前の画像データを記憶し、また、画像処理後の画像データを記憶するための電気的なスイッチングによる抵抗の変化、または、電気的な容量の変化、または、磁気変化、または、光磁気変化、または、光学的変化、または、化学変化を利用した記憶装置（メモリ）である。

【0087】1003は画像処理回路1000に接続された光電管、CCD、フォトトランジスタ、フォトダイオードを利用した画像入力装置、または、印字装置（プリンタ）、表示装置を利用した画像出力装置、または、記憶装置、無線通信、有線通信、光通信を利用した画像入出力装置である。画像データの入力元・出力先の両方がメモリ1002の場合、画像入出力装置1003は必要がない。

【0088】1004はCPU1001、メモリ1002、画像処理装置1000を接続し、画像データ及び制御命令を伝える為のバス、1005は、画像処理回路1000と画像入出力装置1003を接続する為のI/Oバス（入出力バス）である。

【0089】1100は画像処理を実際に行う画像処理コア、1101はバス1004を分配する為のマルチプレクサ、1104はメモリ1002から画像データを読み出す為のリードDMA（直接メモリアクセスコントローラ）である。

【0090】1501は、リードDMA1104が読んだメモリの値を画像処理回路に送る為の外部バスマスター、1505は画像処理コア1100のレジスタ設定を行う為、CPUからの命令を受けて、画像処理コア1100のレジスタを書き換える為、および、レジスタの値を読み出すための制御信号を画像処理コア1100に与える為のレジスタマスターである。

【0091】1515は外部バスマスター1501からの命令をレジスタマスター1505に渡すための外部バスレジスタスレーブ、1504は画像処理コア1100に画像データを渡す為のデータマスター、1502は外部バスマスター1501から送られてきたデータをデータマスター1504に渡すための外部バスデータスレーブである。

【0092】1507は画像処理コア1100のレジスタを読み出した値を転送する為のレジスタスレーブ、1

520は画像処理コア1100から送られてきたレジスタの値をCPUまたはメモリに渡すための外部バスレジスタマスター、1506は画像処理コア1100の出力データを転送する為のデータスレーブ、1509は画像処理コア1100から送られてきた出力データの値をCPUまたはメモリに渡すための外部バスデータマスターである。

【0093】1105はメモリ1002に画像データを書きこむ為のメモリライトマスターである。1510は、メモリライトマスター1105が、書きこむ値を画像処理回路から受け取る為の外部バススレーブである。1104と1501、1515と1505、1502と1504、1520と1507、1509と1506、1105と1510は、それぞれ、バスのプロトコル変換をする為のバスブリッジとして働く。

【0094】1503は、外部バスマスター1501の出力（外部バス1514）を受け、バス1517またはバス1516のどちらかを選択し、分配するマルチプレクサである。1508は、データスレーブ1509、または、レジスタスレーブ1507の出力を受け、バス1518またはバス1519のどちらかを選択し、外部バス1521に分配するマルチプレクサである。

【0095】1524、1511はマルチプレクサ1101によって1004が分配されたバスである。1107は、画像処理コア1100のレジスタに値を設定する為、および、レジスタ読み出し命令を画像処理コア1100に伝える為のレジスタバス、1111は画像処理コア1100のレジスタを読み出すためのレジスタバスである。

【0096】1115は画像処理コア1100に画像データを入力する為のデータバス、1117は画像処理コア1100のデータ出力を伝送する為のデータバスである。1004はLSI外に信号が出ていない内部バスである。

【0097】1521及び1514はLSI外に信号が出ている外部バスである。それぞれのバスの矢印の向きはデータの流れの方向を示す。

【0098】メモリリードマスター1104、メモリライトマスター1105のレジスタの設定の為の機能（第2の実施の形態における、図1のレジスタリードスレーブ1302、レジスタライトスレーブ1301、レジスタリードスレーブ1103、レジスタライトスレーブ1102に相当）は、それぞれのブロックに内蔵され、レジスタ値のやり取りは、バス1511、1524を用いて行うので、1104、1105の為のレジスタ設定の為の特別なバスは必要でない。

【0099】また、バスレジスタスレーブ1515とレジスタマスター1505、外部バスデータスレーブ1502とデータマスター1504、レジスタスレーブ1507とバスレジスタマスター1520、データスレーブ

10

20

30

40

50

1506と外部バスデータマスター1509は、一種のバスブリッジとして働く。

【0100】スレーブ側に入力したデータおよびレジスタ設定値をそのままマスター側に出力するような構成にすれば、バスレジスタスレーブ1515とレジスタマスター1505、外部バスデータスレーブ1502とデータマスター1504、レジスタスレーブ1507とバスレジスタマスター1520、データスレーブ1506と外部バスデータマスター1509のレジスタ設定は必要ないが、もし他の機能でレジスタ設定が必要な場合は、

バス1517、1516、1111、1117を用いて実現すれば、レジスタ設定の為の特別なバスは必要なくなる。

【0101】レジスタか、データの切り替え、つまり、マルチプレクサ1503および1508の切り替えの為に従来例のバスに専用の信号線を追加した場合、説明の為に、マルチプレクサ選択信号が、Loの時にレジスタ、Hiの時にデータ転送が行われるとすると、従来例のデータバスに追加されるべき信号線は、マルチプレクサ1つに対して1本で済み、システム全体で、LSIのピン数を減らすことが出来る。

【0102】また、マルチプレクサの切り替えを他の方法、例えば、バス中のアドレス信号線をデコードすることでマルチプレクサの切り替えを行ってもよい。この場合を説明すると、例えば、0x0000\_0000~0x0fff\_ffffがレジスタ設定の為のアドレス領域、0x1000\_0000~0x1fff\_ffffがデータの為のアドレス領域とすると、28bit目のアドレス信号がLoの時に、レジスタ側に切り替わり、28bit目のアドレス信号がHiの時に、データ側に切り替わる構成にすれば、信号線の増加はない。

【0103】次に、画像入出力装置1003が、画像入力装置、画像出力装置の場合、または、画像入出力装置1003が接続されない場合の3つの例を挙げ、本実施の形態における画像処理装置の動作の詳細を説明する。

【0104】画像入出力装置1003が画像入力装置である場合、例えば、画像入出力装置1003が、光電管、または、CCD、または、フォトランジスタ、または、フォトダイオードを利用したスキャナエンジン（原稿読み取り装置）でシステムが構成される場合、初めにCPU1001が画像処理コア1100のレジスタに画像読み込みサイズ、スキャナの画像モード（色、解像度など）を設定する。

【0105】このとき、マルチプレクサ1101は、バス1004からの命令をバス1511に伝えるように切り替わり、さらに、マルチプレクサ1503がバス1514の命令を1517に伝えるように切り替わり、レジスタマスター1505を用いて、画像処理コア1100のレジスタ設定がされる。

【0106】同様にCPU1001が、ライトDMA1

105に画像転送サイズ、画像転送モード、画像転送先メモリアドレスを設定する。その際は、マルチプレクサ1101はバス1004とバス1524が接続されるように切り替わり、ライトDMA1105のレジスタに設定が行われる。

【0107】次に、CPU1001が、画像処理回路1000の起動レジスタに起動コマンドを書き、画像処理回路1000および画像入出力装置1003の起動を行う。すると、入力装置1003、ここではスキャナエンジンが画像の読み込みを開始し、読みこんだ画像データが画像処理装置1003に転送される。

【0108】画像処理コア1100でその画像データを処理しやすいようデータ形式を変換し、画像処理コア1100から、バス1117→データスレーブ1506→外部バスデータマスター1509→バス1518→マルチプレクサ1508→外部バス1521→外部バススレーブ1510→ライトDMA1105→バス1524→マルチプレクサ1101→バス1004→メモリ1002、の経路で、画像データをメモリに書きこむ。もちろん電子カメラなど他の入力装置が接続された場合も以上説明した手順は同様である。

【0109】画像入出力装置1003が画像出力装置である場合、例えば、画像入出力装置1003がプリンタエンジンでシステムが構成される場合、初めにCPU1001が同様にレジスタマスター1505を介して、画像処理コア1100のレジスタに画像出力サイズ、プリンタの画像モード（色、解像度など）を設定する。

【0110】同様にCPU1001が、リードDMA1104に画像転送サイズ、画像転送モード、画像転送元メモリアドレスを設定する。次に、CPU1001が、画像入出力装置1003に、紙における出力範囲を設定する。次に、CPU1001が、画像処理回路1000の起動レジスタに起動コマンドを書き、画像処理回路1000および画像入出力装置1003の起動を行う。

【0111】それにより、リードDMA1104がメモリを読みに行き、メモリ1002→バス1004→マルチプレクサ1101→バス1511→リードDMA1104→外部バスマスター1501→外部バス1514→マルチプレクサ1503→バス1516→データスレーブ1502→データマスター1504→画像処理コア1100、の経路で、画像データをメモリから読みこむ。

【0112】画像処理コア1100でその画像データをプリンタエンジンが処理しやすいようデータ形式を変換し、画像処理装置1003から、出力装置、ここではプリンタエンジンに画像データを転送し、印字を行う。もちろんディスプレイ装置など他の出力装置が接続された場合も以上説明した手順は同様である。

【0113】画像入出力装置1003が接続されない場合、つまり、画像データの入力元・出力先の両方がメモリ1002の場合、例えば、画像処理回路1000が画

像変換だったとすると、初めにCPU1001がレジスタマスターを用いて、画像処理コア1100のレジスタに画像処理のモード、内容を設定する。

【0114】例えば、画像変換の内容が、画像回転の場合は回転角度を設定する。CPU1001が、リードDMA1104、及び、ライトDMA1105に画像転送サイズ、画像転送モード、画像転送元メモリアドレス、画像転送先メモリアドレスを設定する。

【0115】次に、CPU1001が、画像処理回路1000の起動レジスタに起動コマンドを書き、起動を行う。画像処理回路1000は、バス1004を通じてメモリ1002から、出力する為の元画像データを読み出す。画像処理コア1100でその画像データを変換（例えば画像回転）し、画像処理回路1000は、バス1004を通じてメモリ1002に書き込む。

【0116】ここで、LSIの外部に出ているバスは、図3のシステム構成において、外部バス1521、1514のみであり、従来に比べて、明らかに、LSIの外部に出ているバスの種類を減らすことが出来る。

【0117】また、1つのバスにおける端子数の増加は、マルチプレクサの切り替えの為の信号線せいぜい1本である。

【0118】以上説明したように、本実施の形態によれば、メモリリードの為のデータバスが、画像処理回路のレジスタライトのバスを兼ね、メモリライトの為のデータバスが、画像処理回路のレジスタリードのバスを兼ねることで、LSIの端子数を減らし、ローコストな画像処理装置が実現できる。

【0119】また、レジスタ設定は、データ転送に先駆けて行う為、データ転送とレジスタ設定が同時に行われることはなく、第1、第2の実施の形態と比べてデータ転送速度が低速になることはない。

【0120】（第4の実施の形態）上述の第3の実施の形態では、画像処理コアが1つの場合で説明したが、本実施の形態においては、画像処理コア数を複数とした場合の、第3の実施の形態の構成に基づく画像処理装置を説明する。

【0121】図4は本発明の画像処理装置の第4の実施の形態の構成を説明する為のブロック図である。

【0122】図4において、1700は画像処理を実際に行う追加された画像処理コア、1793は画像処理回路1000に接続された光電管、CCD、フォトランジスタ、フォトダイオードを利用した追加された画像入力装置、または、印字装置（プリンタ）、表示装置を利用した追加された画像出力装置、または、記憶装置、無線通信、有線通信、光通信を利用した追加された画像入出力装置である。画像データの入力元・出力先の両方がメモリ1002の場合、画像入出力装置1793は必要がない。

【0123】1795は、画像処理回路1000と画像

入出力装置1793を接続する為の追加されたI/Oバス（入出力バス）である。1705は画像処理コア1700のレジスタ設定を行う為、CPUからの命令を受けて、画像処理コア1700のレジスタを書き換える為、および、レジスタの値を読み出すための制御信号を画像処理コア1700に与える為の追加されたレジスタマスターである。1715は外部バスマスター1501からの命令をレジスタマスター1705に渡すための追加された外部バスレジスタスレーブである。1704は画像処理コア1700に画像データを渡す為の追加されたデータマスターである。1702は外部バスマスター1501から送られてきたデータをデータマスター1704に渡すための追加された外部バスデータスレーブである。

【0124】1707は画像処理コア1700のレジスタを読み出した値を転送する為の追加されたレジスタスレーブ、1720は画像処理コア1700から送られてきたレジスタの値をCPUまたはメモリに渡すための追加された外部バスレジスタマスター、1706は画像処理コア1700の出力データを転送する為の追加されたデータスレーブ、1709は画像処理コア1700から送られてきた出力データの値をCPUまたはメモリに渡すための追加された外部バスデータマスターである。

【0125】マルチプレクサ1503および1508の切り替えは、マルチプレクサの切り替えの為に専用の信号線を追加した場合、第3の実施の形態で説明した、レジスタ/データを切り替える為のマルチプレクサ選択信号に加えて、どの画像処理コアに接続するかを表す信号線を追加すれば良い。この図4の場合、画像処理コアは2つ実装されているので、画像処理コアを表す信号を、2本追加する。

【0126】例えば、この2本の信号は、同時に2本とも有効（仮にHi）にならないとすると、1本目がHiの場合、マルチプレクサは、画像処理コア1100への経路を選択したことになり、2本目がHiの場合、マルチプレクサは、画像処理コア1700への経路を選択したことになり、第3の実施の形態のデータバスに追加されるべき信号線は、マルチプレクサ1つに対して2本で済み、システム全体で、LSIのピン数を減らすことが出来、本実施の形態を実現することが可能である。

【0127】また、マルチプレクサの切り替えを他の方法、例えば、バス中のアドレス信号線をデコードすることマルチプレクサの切り替えを行った場合でも、信号線の増加なしに、第2の実施例を実現することが可能である。

【0128】説明の為、0x0000\_0000~0x0fff\_ffffが画像処理コア1100のレジスタ設定の為のアドレス領域、0x1000\_0000~0x1fff\_ffffが画像処理コア1100のデータの為のアドレス領域、0x2000\_0000~0x2

10

20

30

40

50

fff\_\_ffffが画像処理コア1700のレジスタ設定の為のアドレス領域、0x3000\_0000~0x3fff\_\_ffffが画像処理コア1700のデータの為のアドレス領域とする。

【0129】このとき、28bit目のアドレス信号がLoの時に、レジスタ側に切り替わり、28bit目のアドレス信号がHiの時に、データ側に切り替わり、29bit目のアドレス信号がLoの時に画像処理コア1100側に切り替わり、29bit目のアドレス信号がHiの時に画像処理コア1700側に切り替わる構成にすれば、信号線の増加なしに、第4の実施の形態を実現することが可能である。

【0130】以上説明したように、2つの画像処理コアを接続する場合においても、外部バスの信号線をほとんど増加することなしに、2つの画像処理コアを接続した画像処理装置が実現できる。

【0131】3つ以上の画像処理コアを接続する場合もこの図3から図4への変化と同様に上に挙げたブロックに相当する機能を追加すれば良いのは、明らかである。

【0132】(第5の実施の形態) 上述した、第4の実施の形態においては、第3の実施の形態に基づく複数の画像処理コアを有する画像処理装置について説明した。

【0133】しかし、第4の実施の形態における画像処理装置は、画像処理コア毎にレジスタスレーブ、レジスタマスター、データスレーブ、データマスター等の回路を備えているため、画像処理コアの数が増えるほど、装置の回路規模が大きくなり、チップ面積拡大によるコストアップが起こるおそれがある。本実施形態においては、この問題を未然に回避できるような構成を有する画像処理装置について説明する。

【0134】図5は、本発明の画像処理装置の第5の実施の形態の構成を説明する為のブロック図である。

【0135】図5において、1600は画像処理を実際に行う追加された画像処理コア、1693は画像処理回路1000に接続された光電管、CCD、フォトトランジスタ、フォトダイオードを利用した追加された画像入力装置、または、印字装置(プリンタ)、表示装置を利用した追加された画像出力装置、または、記憶装置、無線通信、有線通信、光通信を利用した追加された画像入出力装置である。画像データの入力元・出力先の両方がメモリ1002の場合、画像入出力装置1793は必要がない。

【0136】1695は、画像処理回路1000と画像入出力装置1793を接続する為の追加されたI/Oバス(入出力バス)、1601は画像処理コア1100または画像処理コアからのレジスタ値出力を選択する為のマルチプレクサ、1602は画像処理コア1100または画像処理コアからのデータ出力を選択する為のマルチプレクサ、1603は画像処理コア1100または画像処理コアへのデータ入力を選択する為のマルチプレク

サ、1604は画像処理コア1100または画像処理コアへのレジスタ値入力を選択する為のマルチプレクサである。

【0137】1605、1609はマルチプレクサ1601の入力バス、1607、1611はマルチプレクサの入力バス、1606、1610はマルチプレクサ1603の出力バス、1608、1612はマルチプレクサ1604の出力バスである。

【0138】マルチプレクサ1601および1602および1603および1604の切り替えは、マルチプレクサの切り替えの為に専用の信号線を追加した場合、第4の実施の形態で説明した、レジスタ/データを切り帰る為のマルチプレクサ選択信号に加えて、どの画像処理コアに接続するかを表す信号線を追加すれば良い。

【0139】この図5の場合、画像処理コアは2つ実装されているので、画像処理コアを表す信号を、2本追加する。例えば、この2本の信号は、同時に2本とも有効(仮にHi)にならないとすると、1本目がHiの場合、マルチプレクサは、画像処理コア1100への経路を選択したことになり、2本目がHiの場合、マルチプレクサは、画像処理コア1600への経路を選択したことになり、従来例のデータバスに追加されるべき信号線は、マルチプレクサ1つに対して2本で済み、システム全体で、LSIのピン数を減らすことが出来る。

【0140】また、マルチプレクサの切り替えを、バス中のアドレス信号線をデコードすることマルチプレクサの切り替えを行ってもよい。例えば、0x0000\_0000~0xffff\_\_ffffが画像処理コア1100のレジスタ設定の為のアドレス領域、0x1000\_0000~0x1ffff\_\_ffffが画像処理コア1100のデータの為のアドレス領域、0x2000\_0000~0x2ffff\_\_ffffが画像処理コア1600のレジスタ設定の為のアドレス領域、0x3000\_0000~0x3ffff\_\_ffffが画像処理コア1600のデータの為のアドレス領域とする。

【0141】このとき、28bit目のアドレス信号がLoの時に、レジスタ側に切り替わり、28bit目のアドレス信号がHiの時に、データ側に切り替わり、29bit目のアドレス信号がLoの時に画像処理コア1100側に切り替わり、29bit目のアドレス信号がHiの時に画像処理コア1700側に切り替わる構成にすれば、信号線の増加なしに、第5の実施の形態を実現することが可能である。

【0142】以上説明してきたように、本実施の形態によれば、2つの画像処理コアを接続する場合においても、外部バスの信号線をほとんど増加することなしに、2つの画像処理コアを接続した画像処理装置が実現できる。また、マルチプレクサは、接続を選択する信号が正論理の場合はビット毎のAND演算で実現でき、接続を選択する信号が負論理の場合は、接続を選択する信号の

論理を反転し正論理にした後、ビット毎のAND演算をすれば良く、先に説明した第4の実施の形態と比較して、回路規模が小さくなり、チップ面積縮小によるコストダウンが図れるという利点がある。

【0143】また、3つ以上の画像処理コアを接続する場合は、マルチプレクサ1601、1602、1603、1604のチャンネル数を追加すれば良いのは、明らかである。

【0144】（第6の実施の形態）第1～5の実施の形態においては、画像処理装置のハードウェアの全体構成を中心として本発明を説明してきたが、本実施の形態以降においては、画像処理装置内のバス構成や、バスを介して伝達される各種信号を示しながら、本発明について説明する。

【0145】画像処理装置のハードウェア全体構成は、図5に示した第5の実施の形態と同一であるとし、説明を省略する。

【0146】図6に示されるように、従来の画像処理装置のバス構成において、LSI間を接続する信号線は、次の様に分類できる。

【0147】まず、1つ目はバスネゴシエーション信号群2601であり、バスを使って良いか、転送を開始して良いか、受け取り準備が出来ているかなどバスの状態を知らせる為の信号である。2つ目はデータ信号群2602であり、実際の送受信データである。3つ目はアドレス信号群2603であり、データや、デバイスにアドレスが割り振られている場合に、データの格納位置を知らせる為の信号である。4つ目はデータステータス信号群2604であり、リード/ライト、レジスタアクセス/データアクセス、有効データか、データの終了など、データの状態を知らせる為の信号である。

【0148】図6に上記信号群のおおまかなタイミングを示す。点線は、このタイミングで信号が出ていない可能性があることを示す。

【0149】図7は、説明の為に図5に示した第5の画像処理装置のバス1514の一構成例を示した図である。

【0150】図7において、1901はこの同期バスが動作する為の基準であるクロック信号exClock、1902はマスターがデータ転送開始をスレーブに知らせるためのリクエスト信号exWrReq、1903はexWrReqを受けたスレーブがマスターにデータ受信可能なことを知らせるためのアクノリッジ信号exWrAckである。

【0151】1904はマスターからスレーブに伝える31bitのライトデータ信号、1905は31bitのアドレス信号である。1906はデータ信号で伝送中のそれぞれのデータが有効か否かを示す為のデータバリッド信号、1907は伝送中のものが、画像データか、設定の為のデータか、などデータの種類の示す為の2bitのデータタイプ信号、1908は、今行われているアクセスがリードか、ライトかを知らせる為のリード/ライト信号である。

【0152】動作を簡単に説明する。データ転送を開始しようとしたとき、マスターは、exWrReqをアサートし、それを知ったスレーブは、データ転送の準備が出来たら、exWrAckを1クロックアサートし、ネゴシエーションを取る。

【0153】exWrAckのアサートを知ったマスターは、exWrReqをデリアサートする。ネゴシエーションと同時に、マスターは、exWrDataTypel[1:0]を出し、伝送中のものが、画像データ（例えば、exWrDataTypel[1:0]＝“00”の場合）か、設定の為のデータ（例えば、exWrDataTypel[1:0]＝“01”の場合）をスレーブに知らせる。

【0154】exWrDataTypel[1:0]が“00”の時、マルチプレクサ1503は、バス1514のデータをバス1516に伝えるように切り替わる。exWrDataTypel[1:0]が“01”の時、マルチプレクサ1503は、バス1514のデータをバス1517に伝えるように切り替わる。また、マスターは、exWrDataTypel[1:0]と同じタイミングで、exRDNotWrを出し、リードか、ライトかを知らせる。

【0155】次にexWrAckがデリアサートされた次のクロックで、データ転送を開始する。データ転送と同時に、データと組になるアドレスを伝送する。データとアドレスはクロック毎に更新される。データのうち、無効なものがある場合、マスターは、exWrDataValidをデリアサートして、スレーブに知らせる。exWrDataValidのデリアサートは、伝送の終了を意味し、再びネゴシエーションを行うまでexWrDataValidをアサートしない。こうして、図7のバスを用いて、データ転送が行われる。

【0156】図5のバスにおいて、それぞれの信号を分類すると、次の様になる。

- A. バスネゴシエーション信号群・・・1902（1本）、1903（1本）
- B. データ信号群・・・1904（32本）
- C. アドレス信号群・・・1905（32本）
- D. データステータス信号群・・・1906（1本）、1907（2本）、1908（1本）

上に示した様に、従来のバス構成では、多くのLSI端子数が必要だった。



【0157】LSIの端子まわりの回路は、1つ当たり、ボンディングの為のパッド、および、静電破壊対策保護回路、および、ラッチアップ対策保護回路、および、入出力バッファおよび、テストの為の付加回路など多くの回路が必要である。

【0158】ボンディングの為のパッドは、通常四角の金属配線を半導体基板上に形成して実現する。ボンディングの歩留まりを向上させる為に、1辺がボンディング配線の直径の10倍～4倍程度の長方形または正方形または円の形状のボンディングパッドをチップの周辺部に配置するのが普通である。

【0159】ボンディング配線の太さを細くすると、配線抵抗および寄生インダクタンスにより、高速な信号伝達が出来なくなる為、数100MHz程度の外部クロックで動作するシステムにおいては、1～50 $\mu$ m程度の直径の金ボンディング配線、または、10～50 $\mu$ mのアルミボンディング配線が用いられる。アルミの場合は、金と比較して、安価で、電気抵抗が低い利点を持つが、接触抵抗が金よりもやや高く、腐食しやすく、延性が金ほど高くないので、あまり細く出来ない。ボンディングパッドの1辺の長さは、10～200 $\mu$ m程度のものが多い。

【0160】LSIの端子近くの、入出力回路部は、LSIの内側にある通常の論理回路よりも、静電気やノイズによるサージ（過大・過小電圧）にさらされる可能性が高く、静電破壊対策保護回路、および、ラッチアップ対策保護回路が必要になる場合が多く、耐圧を上げる為に、面積が大きくなりがちである。

【0161】また、高速動作を実現する為に、入力容量、および、出力抵抗を低減するための、特別な入出力バッファを配置する必要がある。静電破壊対策保護回路、および、ラッチアップ対策保護回路、および、入出力バッファのために、LSIの内側にある通常の論理回路のインバーターと、入出力回路部のインバーターを比較すると、約2倍～数100倍、入出力回路部の方が面積が大きい。

【0162】また最近では、LSIや、実装の良品／不良品を選別するためのテスト用の簡単な回路を各端子に追加することも行われる。

【0163】このように、LSIの端子には、多くの面積が必要であり、半導体の加工精度が微細化しても、LSIの端子周りの回路は、ボンディングワイヤーの性能や信頼性向上の為の各種耐圧に影響があるため、通常の論理回路が微細化したからといって、テスト用の回路を除いては、そのまま微細化できるものではない。

【0164】近年、半導体の微細化が進んだ結果、大規模な回路を搭載できるようになったので、LSIの端子数は増加傾向にあるが、LSIの端子まわりの回路の面積は微細化のペースと連動して減少してない。その結果、LSIの端子は、ボンディングの都合上、チップの

周辺時配置されることが好ましいため、LSIのサイズが、LSIの端子数×LSIの端子当たりの面積で決まってしまう、内部の通常の論理回路部分には、ムダな空き領域が生じる状況も生まれてきている。そのような状況においては、LSIの端子数を減らすことは、直ちに、チップサイズの縮小、ひいては、コストダウンにつながる。

【0165】本発明は、以上のような状況を鑑みてなされたものであり、LSIの端子数を減らした低コストな画像処理装置を提供することを目的とし、本実施の形態、及び以降の実施の形態においては、その詳細を説明する。

【0166】図8は、本発明の第6の実施の形態を説明する為の、信号のタイミング図である。

【0167】図8において、2701は、バスを使って良いか、転送を開始して良いか、受け取り準備が出来ているかなどバスの状態を知らせる為のバスネゴシエーション信号群である。2702は、実際の送受信データであるデータ信号群、および、リード／ライト、レジスタアクセス／データアクセス、有効データの個数など、データの状態を知らせる為のデータステータス信号群、を兼ねた信号群である。2703は、データや、デバイスにアドレスが割り振られている場合に、データの格納位置を知らせる為のアドレス信号群である。点線は、このタイミングで信号が出ていない可能性があることを示す。

【0168】図8の動作を説明する。マスターとスレーブが、バスネゴシエーション信号群2701を用いて、信号の送受信開始の合意を取った後、マスターは、データ信号群2702にリード／ライト、レジスタアクセス／データアクセス、有効データの個数など、データの状態を知らせる為のデータステータス情報を伝送し、スレーブは、それに従い、データ受け入れのモードを切り替える。

【0169】次に、マスターは、アドレス信号群2703にアドレス情報を伝送し、スレーブはそれらアドレスから、または、それらアドレスへ、データ送受信を開始する。

【0170】次に、マスターは、データライトの場合は、データ信号群2802にデータを送信する。データリードの場合は、データフェーズは、スレーブから、マスターにデータが送られるか、または、別のリード専用信号線を用いて、データがスレーブからマスターへ送受信される。

【0171】ここで、アドレス情報は、データに先駆けて、伝送すると説明したが、データと同時に伝送し、データ毎にアドレスを切り替えても、本発明の効果は変わらない。

【0172】以上説明したように本実施の形態においては、従来データステータス信号群を用いて知らされていた情報をデータバスを用いて伝送することで、データス

データ信号群のLSI端子を削減し、LSIの端子数を減らした低コストな画像処理装置を提供出来る。

【0173】(第7の実施の形態)図9は、第6の実施の形態からさらに信号の本数を減らした、本発明の第7の実施の形態を説明する為の、信号のタイミング図である。

【0174】図9において、2801は、バスを使って良いか、転送を開始して良いか、受け取り準備が出来ているかなどバスの状態を知らせる為のバスネゴシエーション信号群である。2802は、実際の送受信データであるデータ信号群、および、リード/ライト、レジスタアクセス/データクセス、有効データか、データの終了など、データの状態を知らせる為のデータステータス信号群、および、データや、デバイスにアドレスが割り振られている場合に、データの格納位置を知らせる為のアドレス信号群を兼ねた信号群である。

【0175】第7の実施の形態で、アドレス信号群2703を用いて知らされていた情報をデータバスを用いて伝送することで、アドレス信号群のLSI端子を削減することで、LSIの端子数を減らした低コストな画像処理装置を提供出来る。

【0176】図9の動作を説明する。マスターとスレーブが、バスネゴシエーション信号群2801を用いて、信号の送受信開始の合意を取った後、マスターは、データ信号群2802にリード/ライト、レジスタアクセス/データクセス、有効データの個数など、データの状態を知らせる為のデータステータス情報を伝送し、スレーブは、それに従い、データ受け入れのモードを切り替える。

【0177】次に、マスターは、データ信号群2802にアドレス情報を伝送し、スレーブはそれらアドレスから、または、それらアドレスへ、データ送受信を開始する。次に、マスターは、データライトの場合は、データ信号群2802にデータを送信する。データリードの場合は、データフェーズは、スレーブから、マスターにデータが送られるか、または、別のリード専用信号線を用いて、データがスレーブからマスターへ送受信される。

【0178】バスの構成によっては、アドレスを知らせるフェーズと、データステータス情報を知らせるフェーズの順番が図9と入れ替わり、アドレスを知らせるフェーズが先にあっても、データステータス情報を知らせるフェーズと同時であっても本発明の効果は変わらないことは、言うまでもない。

A. バスネゴシエーション信号群・・・2202(1本)、2203(1本)

B. データ信号群・・・2204(64本、または、64本中32本)

C. アドレス信号群・・・2204(64本中32本)

図5のバスと比較すると、D. データステータス信号群の信号の分の端子数が削減されたことが分かる。

【0186】本実施の形態によれば、従来データステータス信号群を用いて知らされていた情報をデータバスを

【0179】以上説明したように本実施の形態においては、従来データステータス信号群、および、アドレス信号群を用いて知らされていた情報をデータバスを用いて伝送することで、データステータス信号群、および、アドレス信号群のLSI端子を削減し、より多くのLSIの端子数を減らした低コストな画像処理装置を提供出来る。

【0180】(第8の実施の形態)図10は、第7の実施の形態を具体的に示した本発明の第8の実施の形態を説明する為の、信号のタイミング図である。

【0181】2201はこの同期バスが動作する為の基準であるクロック信号exClock、2202はマスターがデータ転送開始をスレーブに知らせるためのリクエスト信号exWReq、2203はexWReqを受けたスレーブがマスターにデータ受信可能なことを知らせるためのアクノリッジ信号exWAck、2204はマスターからスレーブに伝えるライトデータ信号である。

【0182】図10の動作を説明する。図10はバス1514の信号を示したものであり、マスターが1514、スレーブが1502、または、1515である。

【0183】マスターが、データ転送を開始しようとしたとき、マスターは、exWReqをアサートし、それを知ったスレーブは、データ転送の準備が出来たら、exWAckを1クロックアサートし、ネゴシエーションを取る。exWAckのアサートを知ったマスターは、exWReqをディアサートする。ネゴシエーションと同時に、マスターは、exWrDataTyp[1:0]を出し、伝送中のものが、画像データか、設定の為のデータをスレーブに知らせる。また、マスターは、exWrDataTyp[1:0]と同じタイミングで、exRdNotWrを出し、リードか、ライトかを知らせる。次にexWAckがディアサートされた次のクロックで、データ転送を開始する。

【0184】データ数など、データステータス情報が、ライトデータ信号を用いて、データ転送に先駆けて送信されるアトリビュートに書かれている。次に、そのアトリビュートの情報を元にスレーブは、データを受け取る。こうして、図7のバスを用いて、データ転送が行われる。

【0185】図10のバスにおいて、それぞれの信号を分類すると、次の様になる。

用いて伝送することで、データステータス信号群のLSI端子を削減し、より多くのLSIの端子数を減らした低コストな画像処理装置を提供出来る。

【0187】ここで、アドレス情報は、1505を用い

たレジスタアクセスの場合のみ必要で、1504を用いた画像データアクセスにおいて、アドレス情報が必要ないとする、レジスタアクセスの場合、64bitのデータ信号の上位32bitをアドレス情報とみなし、64bitのデータ信号の下位32bitをライトデータ情報とみなし、データ伝送することが出来る。レジスタデータは、データ量が少なく、動作中に頻繁に設定は書き換えないので、それほど転送速度は必要ない。

【0188】画像データ転送の場合は、データ信号を64bit全て使うと、データバスの幅が広く使え、データ転送速度を向上でき、データ量が多い画像に適している。

【0189】以上、本実施の実施の形態によれば、アドレス情報が必要時のみ、データバスを分割してアドレス情報を付加し、アドレス情報が不要なときは、データバスを分割せずに全てデータ伝送の為のバスとすることで、回路の設計しやすさやと、十分な転送スピードを兼ね備えた画像処理装置を限られたLSI端子数で両立可能となる。

【0190】（第9の実施の形態）図10では、データステータス情報は、1クロック分のデータ信号で送られる情報にまとめているが、必要に応じて、複数のクロック分のデータ信号で送られる情報として良い。

【0191】本実施の形態では、データステータス情報を複数のクロック分のデータ信号で送られる情報とした場合の画像処理装置について説明する。

【0192】本実施の形態におけるタイミング図を図11に示す。同図において、2401はこの同期バスが動作する為の基準であるクロック信号exClock、2402はマスターがデータ転送開始をスレーブに知らせるためのリクエスト信号exWrReq、2403はexWrReqを受けたスレーブがマスターにデータ受信可能なことを知らせるためのアクノリッジ信号exWrAck、2404はマスターからスレーブに伝えるライトデータ信号である。

【0193】図11の動作を説明する。図11はバス1514の信号を示したものであり、マスターが1514、スレーブが1502、または、1515である。

【0194】マスターが、データ転送を開始しようとしたとき、マスターは、exWrReqをアサートし、それを知ったスレーブは、データ転送の準備が出来たら、exWrAckを1クロックアサートし、ネゴシエーションを取る。exWrAckのアサートを知ったマスターは、exWrReqをディアサートする。ネゴシエーションと同時に、マスターは、exWrDataType[1:0]を出し、伝送中のものが、画像データか、設定の為のデータをスレーブに知らせる。また、マスターは、exWrDataType[1:0]と同じタイミングで、exRdNotWrを出し、リードか、ライトかを知らせる。

【0195】次にexWrAckがディアサートされた次のクロックで、データ転送を開始する。データ数など、データステータス情報が、ライトデータ信号を用いて、データ転送に先駆けて送信されるアトリビュートに書かれており、アトリビュート情報を元に、マルチプレクサ1503の接続状態が切り替わり、次にライトデータ信号を用いて、データ転送に先駆けて送信される4クロック分のライトデータ信号で伝送されるヘッダーh01～h04が伝送される。

【0196】ヘッダーには、データマスター1504、または、レジスタマスター1505、または、画像処理コア1100、または、第2の画像処理コア1600がデータ処理をする為に必要な動作モード（例えば、画像回転ならば角度、画像圧縮なら画像圧縮の品位を表すモード）を示すデータが書かれている。次に、そのアトリビュート、及び、ヘッダーの情報を元にスレーブは、データを受け取る。こうして、図7のバスを用いて、データ転送が行われる。

【0197】以上説明してきたように、本実施の形態によれば、データマスター1504、または、レジスタマスター1505、または、画像処理コア1100、または、第2の画像処理コア1600の動作モードを画像データ転送と同時に設定可能であり、従来のように画像データ転送に先駆けて、レジスタ設定を毎回行う必要がなく、レジスタ設定というオーバーヘッドが少ない高速な画像処理装置を実現することが出来る。

【0198】（第10の実施の形態）本発明の第9の実施の形態で伝送されるデータの内容をレジスタ設定の場合について具体的に説明する。

【0199】図12は本発明の第9の実施の形態を説明する為の図である。図12において、2901は図11の2404で、アトリビュート情報であり、図5のマルチプレクサ1503の接続状態を切り替える為の情報などが入っている。2902は図11の2404でh01～h04として説明したヘッダー情報であり、図5のレジスタマスター1515が利用する。2903は図11の2404においてD01～D12で説明したコマンド情報であり、設定のための実際のデータなどが格納されている。

【0200】この設定を行う為のフォーマットは固定サイズであり、2904は、実際に使われるデータよりも、伝送されるデータの方が大きい場合に挿入される意味のないデータ（パディング）である。2901～2904は、図11の64bitデータ信号を用いて伝送され、ここで説明の為に、2901～2904をまとめてパケットと呼ぶことにする。

【0201】2911～2920はアトリビュート2901の詳細な内容であり、合わせて64bitのサイズをもつ。2911は設定の重複を防ぐ為、および、設定の開始・終了を把握する為にCPUが発行する8bit

の管理番号（ジョブID）であり、2912はLSI間を接続する為のバス1514で伝送するデータの種別（画像データか、設定の為のデータか）を区別する為の packets IDである。説明の為に“0010”の場合に、第5の実施例で説明するレジスタ設定を行うブロックにデータが伝送されるよう、マルチプレクサ1503が切り替わる。

【0202】本実施の形態では、レジスタ設定の場合を例に挙げて説明してきたが、このデータ伝送方式は、レジスタに限ったものではなく、メモリアクセスや、アドレスを割り振られたI/Oデバイスへのアクセスなど、アドレスを振られた空間に対してアクセスするものに用いても好適である。

【0203】本実施の形態では、図5を例に挙げて、CPUから画像処理回路へデータを伝送するバス（図5の場合1514）のみ例をあげて本発明を説明したが、この方向に限らず、画像処理回路からCPUへデータを伝送するバス（図5の場合1521）に本発明を適応しても良いことは、言うまでもない。

【0204】また、本発明は、画像処理コアが2つの場合を例に挙げて説明したが、これは、2つに限らず、1つ以上あれば、いくつあっても、本発明による効果は変わらない。

#### 【0205】

【発明の効果】以上説明してきたように、本発明の請求項1に記載の発明によれば、画像処理手段を構成する第1のユニットと、記憶手段を構成する第2のユニットとを接続し、画像処理手段と記憶手段との間の画像データの転送を行う転送手段が、記憶手段から読み込んだ画像データを画像処理手段に転送するための第1の外部バスと、画像処理手段から出力された画像データを記憶手段に転送するための第2の外部バスとを、それぞれ独立に備えることにより、メモリアドデータ転送とメモリアイトデータ転送とを同時に行うことができ、画像処理回路とCPUやメモリ等を別チップにした場合でも、転送レートを高くすることができるという効果がある。

【0206】また、本発明の請求項5に記載の発明によれば、画像処理手段を構成する第1のユニットと、画像処理手段による画像処理を制御する制御手段及び記憶手段を構成する第2のユニットとを接続し、記憶手段から読み込んだ画像データを画像処理手段に転送するための第1の外部バスと、第1のユニットと第2のユニットとを接続し、画像処理手段から出力された画像データを記憶手段に転送するための第2の外部バスとを有し、第1の外部バスは、制御手段から画像処理手段へ設定情報の転送を行い、第2の外部バスは、画像処理手段から制御手段へ設定情報の転送を行うことにより、データ転送速度を下げることなくLSIの端子数を減らすことが可能となり、低コスト化が図れるという効果がある。

【0207】また、本発明の請求項9及び15に記載の

発明によれば、画像処理手段を構成する第1のユニットと画像処理手段による画像処理を制御する制御手段及び記憶手段を構成する第2のユニットとを外部バスを介して接続し、記憶手段と画像処理手段間で画像データ及び画像処理手段に関する設定情報を転送する転送手段が、画像データ及び設定情報に関する状態情報を、画像データ及び設定情報と同一のバスを用いて転送することにより、更にLSIの端子数を減らすことによる低コスト化ができるという効果がある。

#### 【図面の簡単な説明】

【図1】本発明の画像処理装置の第1の実施の形態の構成を示したブロック図である。

【図2】本発明の画像処理装置の第2の実施の形態の構成を示したブロック図である。

【図3】本発明の画像処理装置の第3の実施の形態の構成を示したブロック図である。

【図4】本発明の画像処理装置の第4の実施の形態の構成を示したブロック図である。

【図5】本発明の画像処理装置の第5の実施の形態の構成を示したブロック図である。

【図6】従来の画像処理装置のバス構成を説明するための図である。

【図7】第5の実施の形態の画像処理装置において、従来例に基づき構成した場合のバス構成を説明する図である。

【図8】第6の実施の形態の画像処理装置における信号タイミングを説明するための図である。

【図9】第7の実施の形態の画像処理装置における信号タイミングを説明するための図である。

【図10】第7の実施の形態を具体的に示した本発明の第8の実施の形態を説明する為の、信号のタイミング図である。

【図11】第9の実施の形態の画像処理装置における信号タイミングを説明するための図である。

【図12】第10の実施の形態で用いられるパケットデータのフォーマットを示す図である。

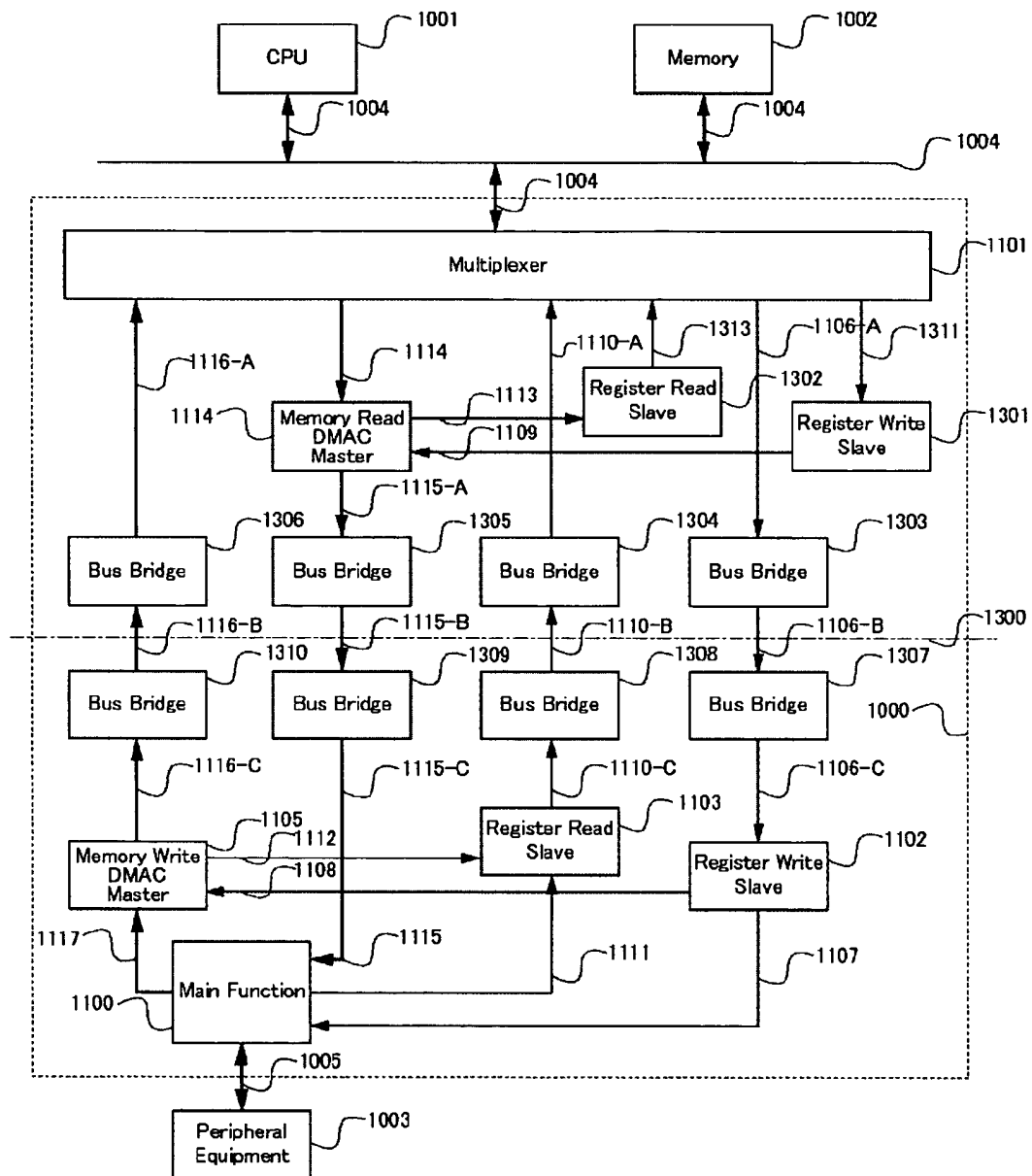
【図13】従来の単一のLSIで構成された画像処理装置の一例を示したブロック図である。

【図14】図13のブロック図を複数のLSIに分断して実現したときの従来の画像処理装置の構成を示したブロック図である。

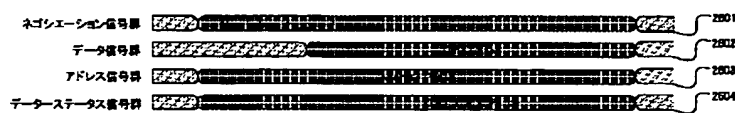
#### 【符号の説明】

1001 CPU  
1002 メモリ  
1003 画像入出力装置  
1004 内部バス  
1005 画像処理回路  
1514 外部バス  
1521 外部バス

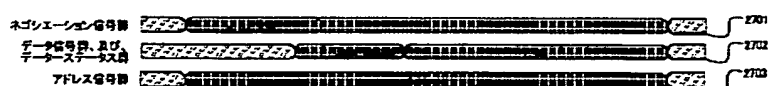
【図 1】



【図 6】

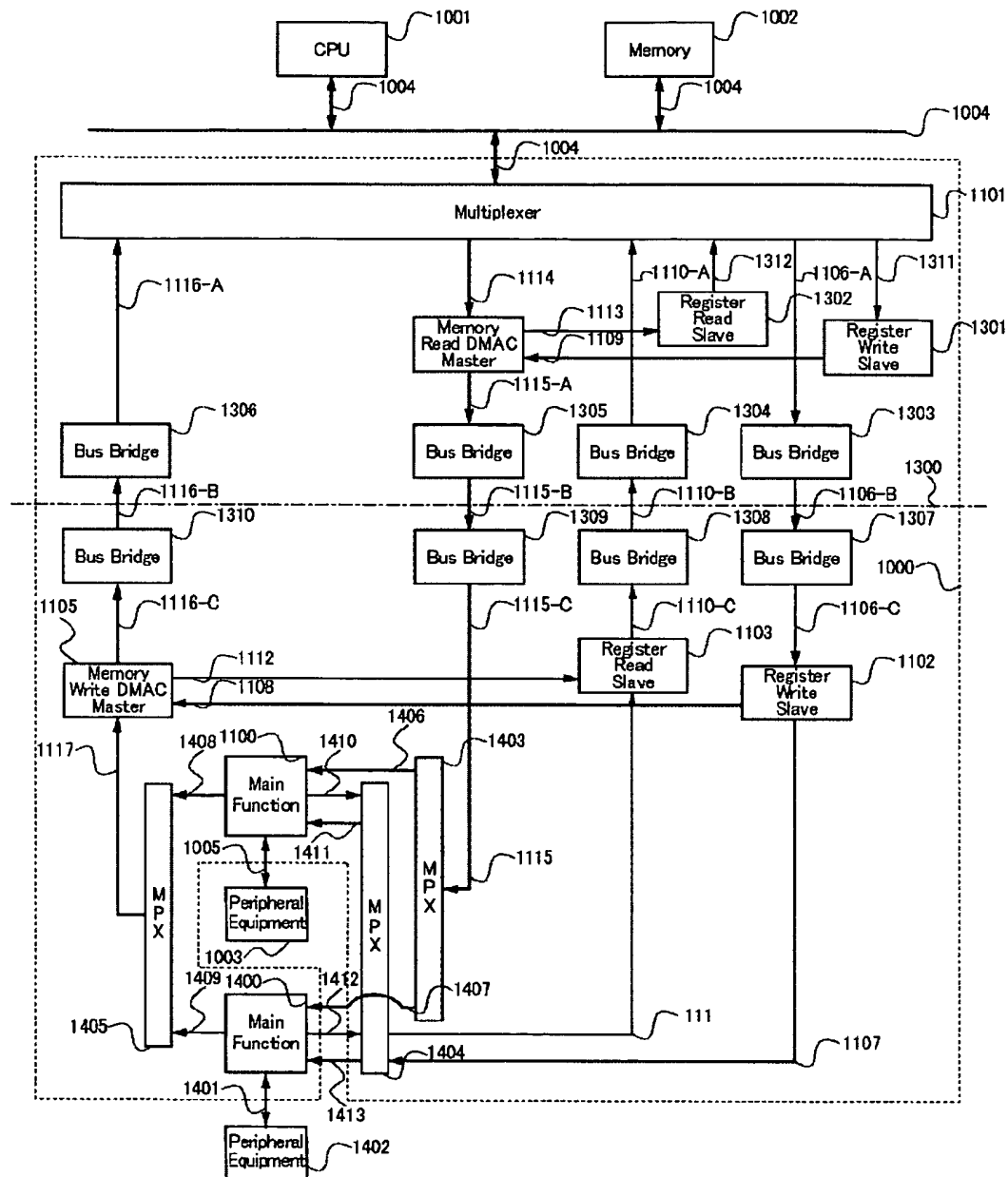


【図 8】

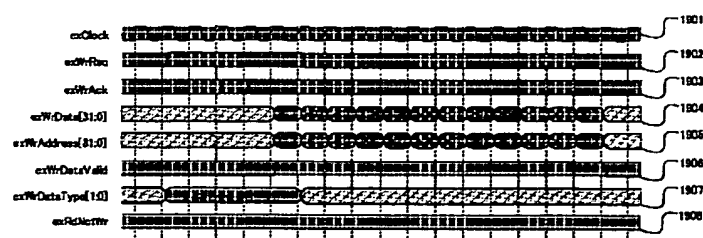


REST AVAILABLE COPY

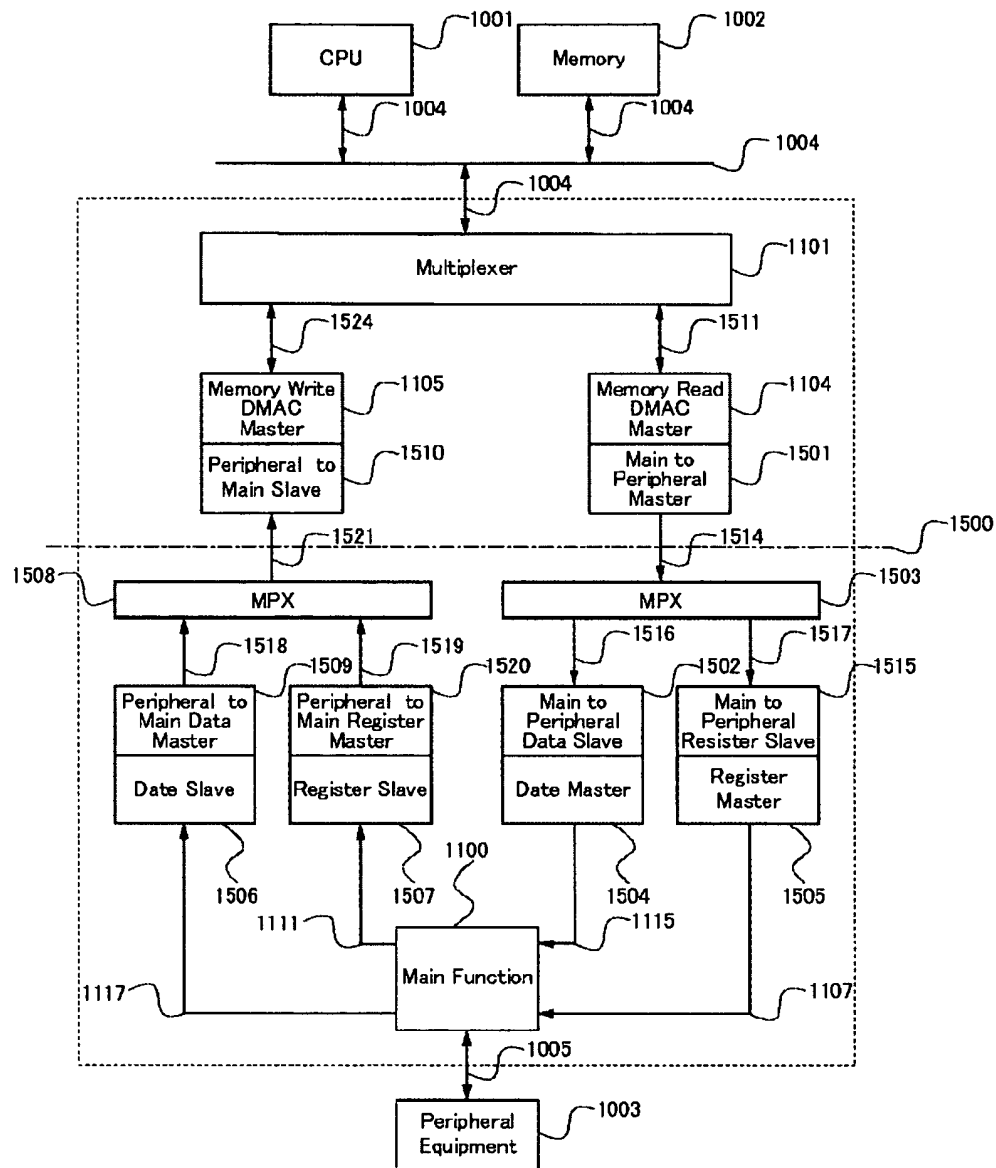
【図 2】



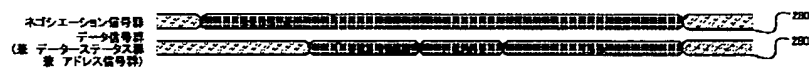
【図 7】



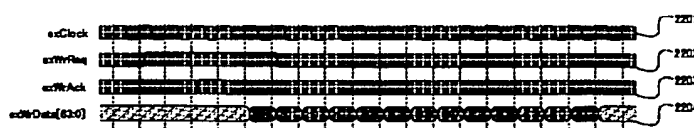
【図 3】



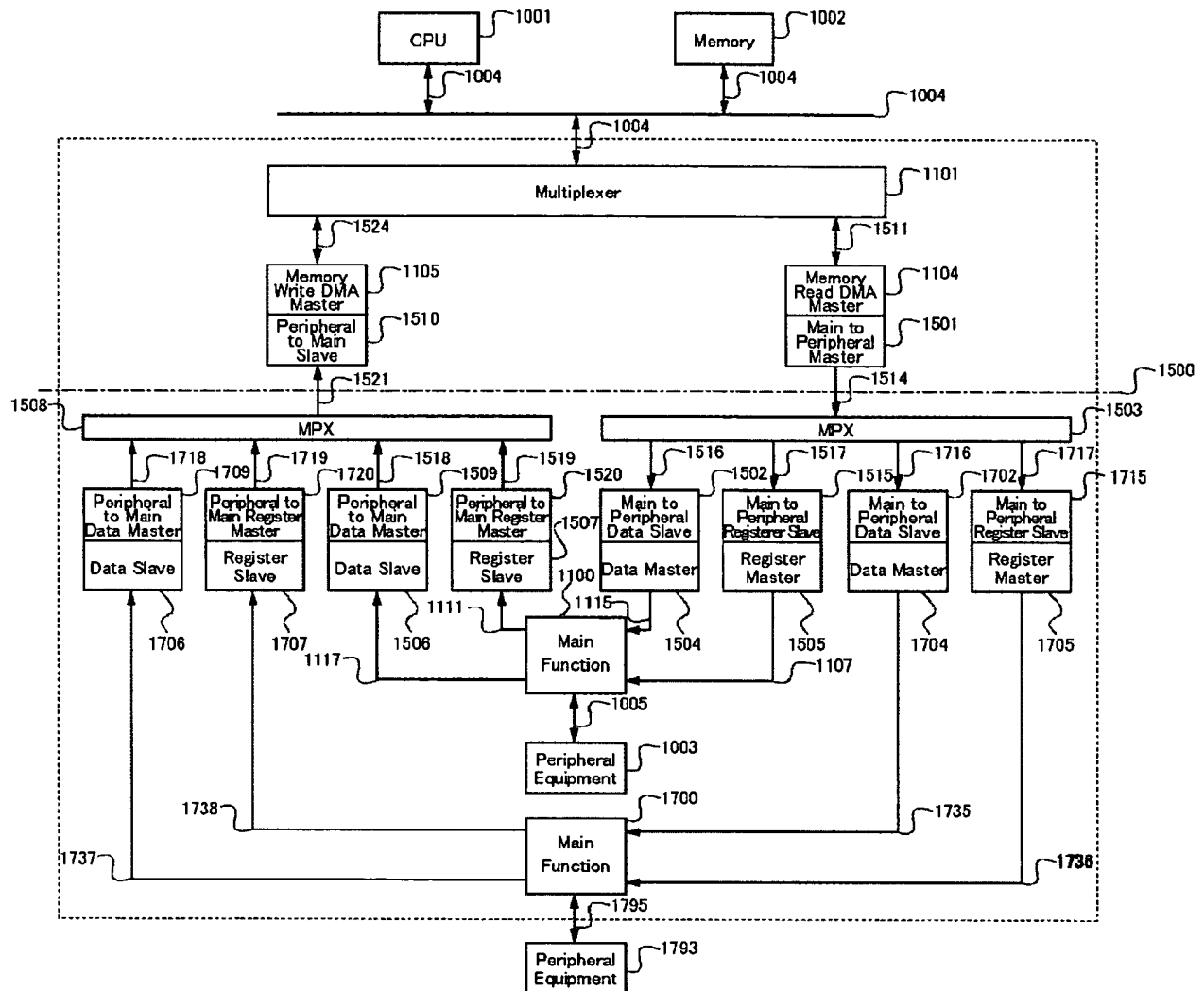
【図 9】



【図 10】



【図4】



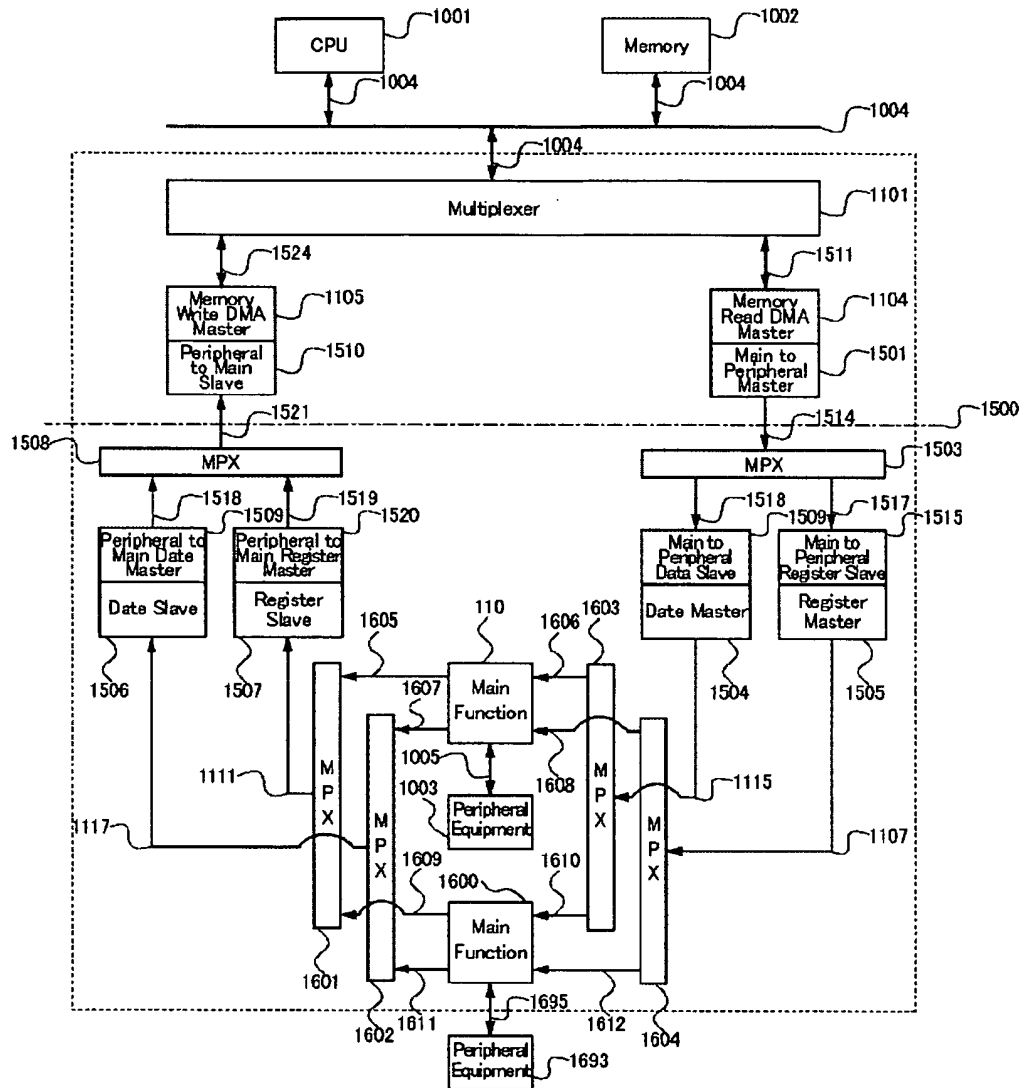
【図11】



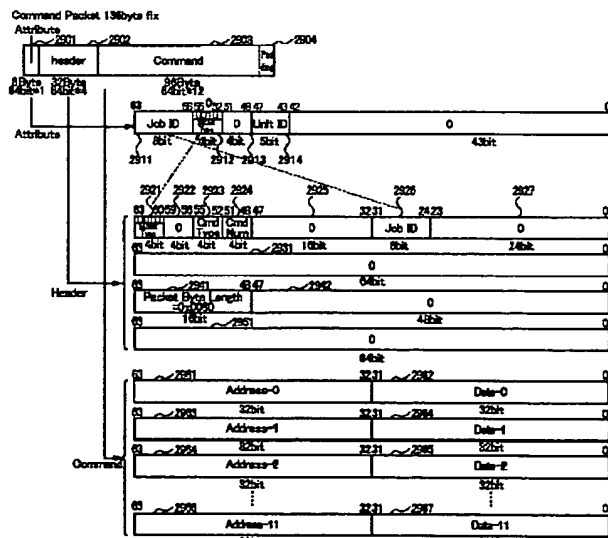
BEST AVAILABLE COPY



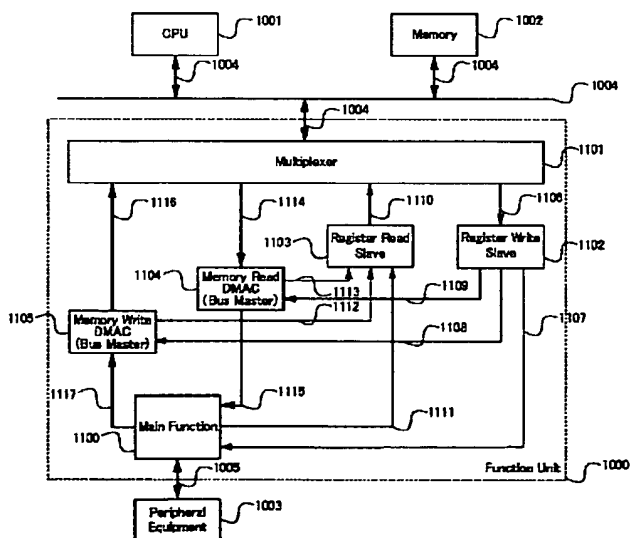
【図 5】



【図 1 2】



【図 1 3】



【図14】

